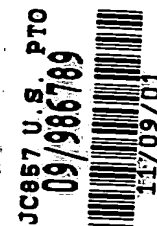


#2  
Priority  
Paper  
MNH  
4-8-02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of )  
Toshiaki ITO et al. ) Group Art Unit: Unassigned  
Application No.: Unassigned ) Examiner: Unassigned  
Filed: November 9, 2001 )  
For: DESIGN SUPPORT SYSTEM AND )  
DESIGN SUPPORT METHOD... )  
)  
)  
)  
)



CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2001-117270

Filed: April 16, 2001

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, ROANE, SWECKER & MATHIS, L.L.P.

Date: November 9, 2001

By:

Platon N. Mandros  
Registration No. 22,124

P.O. Box 1404  
Alexandria, Virginia 22313-1404  
(703) 836-6620

PATENT OFFICE  
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy of  
the following application as filed with this Office.

Date of Application : April 16, 2001

Application Number : Japanese Patent Application No. 2001-117270

Applicant(s) : MITSUBISHI DENKI KABUSHIKI KAISHA  
MITSUBISHI ELECTRIC SYSTEM LSI DESIGN CORPORATION

This 6th day of June, 2001

Commissioner,  
Japan Patent Office Kozo OIKAWA

Certificate No. 2001-3053215

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2001年 4月16日

出 願 番 号  
Application Number:

特願2001-117270

出 願 人  
Applicant(s):

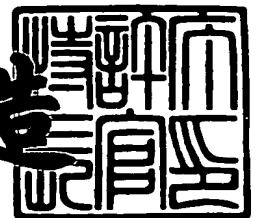
三菱電機株式会社  
三菱電機システムエル・エス・アイ・デザイン株式会社



2001年 6月 6日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3053215

【書類名】	特許願
【整理番号】	529984JP01
【提出日】	平成13年 4月16日
【あて先】	特許庁長官 殿
【国際特許分類】	G06F 15/00
【発明者】	
【住所又は居所】	東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】	伊藤 俊明
【発明者】	
【住所又は居所】	兵庫県伊丹市中央3丁目1番17号 三菱電機システムエル・エス・アイ・デザイン株式会社内
【氏名】	伊藤 弘貴
【発明者】	
【住所又は居所】	兵庫県伊丹市中央3丁目1番17号 三菱電機システムエル・エス・アイ・デザイン株式会社内
【氏名】	武内 英樹
【発明者】	
【住所又は居所】	兵庫県伊丹市中央3丁目1番17号 三菱電機システムエル・エス・アイ・デザイン株式会社内
【氏名】	上田 昌弘
【発明者】	
【住所又は居所】	兵庫県伊丹市中央3丁目1番17号 三菱電機システムエル・エス・アイ・デザイン株式会社内
【氏名】	山田 晃子
【発明者】	
【住所又は居所】	兵庫県伊丹市中央3丁目1番17号 三菱電機システムエル・エス・アイ・デザイン株式会社内
【氏名】	虫明 佳子

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【特許出願人】

【識別番号】 391024515

【氏名又は名称】 三菱電機システムエル・エス・アイ・デザイン株式会社

【代理人】

【識別番号】 100066474

【弁理士】

【氏名又は名称】 田澤 博昭

【選任した代理人】

【識別番号】 100088605

【弁理士】

【氏名又は名称】 加藤 公延

【手数料の表示】

【予納台帳番号】 020640

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 設計支援装置及び設計支援方法

【特許請求の範囲】

【請求項 1】 半導体チップ情報とフレーム情報とを取得し各半導体チップ毎に半導体チップ・フレーム合成情報を作成する情報合成手段と、該情報合成手段が作成した前記半導体チップ・フレーム合成情報に基づいて各半導体チップ毎に半導体チップ・フレーム間結線情報を作成する結線情報作成手段と、該結線情報作成手段が作成した前記半導体チップ・フレーム間結線情報に基づいて全ての半導体チップとフレームとの結線情報を表示可能な半導体チップ・フレーム間結線統合情報を作成する半導体チップ・フレーム間結線情報統合手段とを備える設計支援装置。

【請求項 2】 半導体チップ情報、フレーム情報、半導体チップ・フレーム間結線情報及び半導体チップ・フレーム間結線統合情報の少なくとも一つ又は二つ以上が、記録手段に記録されることを特徴とする請求項 1 記載の設計支援装置。

【請求項 3】 半導体チップ・フレーム間結線情報統合手段が、図面化する際の色や濃淡等を選択できる表示形式選択機能を備えることを特徴とする請求項 1 記載の設計支援装置。

【請求項 4】 半導体チップ・フレーム間結線情報統合手段が、図面化する際に任意の半導体チップを選択できる半導体チップ選択機能を備えることを特徴とする請求項 1 記載の設計支援装置。

【請求項 5】 半導体チップ・フレーム間結線情報統合手段が、図面化する際に複数の半導体チップからなる任意の半導体チップ群を選択できる半導体チップ群層選択機能を備えることを特徴とする請求項 1 記載の設計支援装置。

【請求項 6】 半導体チップ・フレーム間結線情報統合手段が、図面化する際に半導体チップの正転／反転を各半導体チップ毎に選択できる正転／反転選択機能を備えることを特徴とする請求項 1 記載の設計支援装置。

【請求項 7】 半導体チップ・フレーム間結線情報統合手段が、図面化する際に任意の構成要素を選択できる構成要素選択機能を備えることを特徴とする請

求項 1 記載の設計支援装置。

【請求項 8】 半導体チップ・フレーム間結線情報統合手段が、任意の領域に対して表示倍率を変更できる表示倍率変更機能を備えることを特徴とする請求項 1 記載の設計支援装置。

【請求項 9】 半導体チップ・フレーム間結線情報統合手段が、任意の領域に対して 3 次元表示ができる 3 次元表示機能を備えることを特徴とする請求項 1 記載の設計支援装置。

【請求項 10】 半導体チップ・フレーム間結線情報統合手段が、表示倍率変更機能又は 3 次元表示機能を用いて表示された半導体チップ・フレーム間結線統合情報を、任意の角度に回転できる回転機能を備えることを特徴とする請求項 8 または請求項 9 記載の設計支援装置。

【請求項 11】 半導体チップ・フレーム間結線情報統合手段が、半導体チップ・フレーム間結線統合情報を簡易表示できる簡易表示機能を備えることを特徴とする請求項 1 記載の設計支援装置。

【請求項 12】 簡易表示情報を記録する記録手段を備え、情報合成手段が、半導体チップ情報、フレーム情報及び前記簡易表示情報を取得し各半導体チップ毎に半導体チップ・フレーム合成情報を作成することを特徴とする請求項 1 記載の設計支援装置。

【請求項 13】 半導体チップ・フレーム間結線情報統合手段が、各半導体チップに結線しているの結線ワイヤの本数を数える結線本数確認機能を備えることを特徴とする請求項 1 記載の設計支援装置。

【請求項 14】 半導体チップ・フレーム間結線統合情報から印刷データを作成する印刷データ作成手段と、半導体チップ・フレーム間結線統合情報から描画データを作成する描画データ作成手段とを備えることを特徴とする請求項 1 記載の設計支援装置。

【請求項 15】 半導体チップ情報とフレーム情報とを取得し各半導体チップ毎に半導体チップ・フレーム合成情報を作成する情報合成ステップと、前記半導体チップ・フレーム合成情報に基づいて各半導体チップ毎に半導体チップ・フレーム間結線情報を作成する結線情報作成ステップと、前記半導体チップ・フ

ーム間結線情報に基づいて全ての半導体チップとフレームとの結線情報を表示可能な半導体チップ・フレーム間結線統合情報を作成する半導体チップ・フレーム間結線情報統合ステップとを有する設計支援方法。

【請求項16】 情報合成ステップが、半導体チップ情報、フレーム情報及び簡易表示情報を取得し各半導体チップ毎に半導体チップ・フレーム合成情報を作成することを特徴とする請求項15記載の設計支援方法。

【請求項17】 半導体チップ・フレーム間結線統合情報から印刷データを作成する印刷データ作成ステップと、半導体チップ・フレーム間結線統合情報から描画データを作成する描画データ作成ステップとを有することを特徴とする請求項15記載の設計支援方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、設計を完了した半導体チップとフレームとの結線ルートを指定する半導体回路設計において、特に、複数の半導体チップを同一のパッケージに封入する技術であるMCP (Multi chip package) に対して適用する設計支援装置及び設計支援方法に関するものである。

【0002】

【従来の技術】

図30は、従来の設計支援装置の構成を示すブロック図である。図30において、101は半導体チップのレイアウト設計を対話的に行うチップ設計部、102は半導体チップの外部端子となるフレームの設計を対話的に行うフレーム設計部、103はチップ設計部101とフレーム設計部102とからチップ図面データとフレーム図面データとをそれぞれ取り込みフレーム図面データ上の理想的な位置にチップ図面データを配置するデータ合成部、104はデータ合成部103が作成した合成図面データにおいて半導体チップの結線部であるパッドとフレームとの間を結線する結線図作成部、105は結線図作成部104が作成した半導体チップ・フレーム間結線図に対して結線ルールを満たしているか否かのチェックを行うルールチェック部、106はルールチェック部105でエラーが発生し



なかった半導体チップ・フレーム間結線図を格納する完成結線図格納部である。

【0003】

図31は、従来の設計支援装置が作成した第1の半導体チップとフレームとを結線した半導体チップ・フレーム間結線図の一例である。図31において、111は半導体チップの外部端子となるフレームのリード部、112は半導体チップを設置するフレームのダイパッド部、113はダイパッド部112に設置した第1の半導体チップ、114は第1の半導体チップ113の結線部であるパッド、115はリード部111とパッド114を結線する結線ワイヤである。

【0004】

図32は、従来の設計支援装置が作成した第2の半導体チップとフレームとを結線した半導体チップ・フレーム間結線図の一例である。図32において、図31と同一符号は同一または相当部分を示すのでその説明を省略する。116はダイパッド部112に設置した図示されない第1の半導体チップ113の上に設置している第2の半導体チップ、117は第2の半導体チップ116の結線部であるパッド、118はリード部111とパッド117を結線する結線ワイヤである。

【0005】

次に動作について説明する。

チップ設計部101及びフレーム設計部102とで半導体チップのレイアウト設計とフレームの設計とをそれぞれ対話的に行う。次に、データ合成部103は、チップ設計部101から設計後のチップ図面データとフレーム設計部102からチップ図面データに適したフレーム図面データとをそれぞれ取り込み、フレーム図面データ上の理想的な位置にチップ図面データを配置することにより、合成図面データを作成する。次に、結線図作成部104は、自動又は対話的に半導体チップの結線部であるパッドとフレームとの間を結線し、半導体チップ・フレーム間結線図を作成する。次に、ルールチェック部105は、半導体チップ・フレーム間結線図に対して、実際に製造工程で結線した際に断線又はワイヤ間の接触を防止するための定められている結線ルールを満たしているか否かのチェックを行う。ルールチェック部105でエラーが発生しなかった場合には、完成結線図

格納部 1 0 6 に半導体チップ・フレーム間結線図を格納し、ルールチェック部 1 0 5 でエラーが発生した場合には、結線図作成部 1 0 4 が修正を行い再びルールチェック部 1 0 5 でチェックを行う。

【 0 0 0 6 】

上述した設計支援装置を、複数の半導体チップを同一のパッケージに封入することによってボード上の実装面積を削減する技術である M C P に適用した場合には、図 3 1 及び図 3 2 に示された半導体チップ・フレーム間結線図のように、第 1 の半導体チップ 1 1 3 と第 2 の半導体チップ 1 1 6 のそれぞれに対する半導体チップ・フレーム間結線図を作成しなければならない。即ち、各半導体チップ毎に半導体チップ・フレーム間結線図を作成することになる。

【 0 0 0 7 】

【発明が解決しようとする課題】

従来の設計支援装置は以上のように構成されているので、半導体チップの結線部であるパッドと半導体チップの外部端子となるフレームとを結線した図を作成していたが、M C P に適用した場合には、各半導体チップ毎に半導体チップとフレームとを結線した図を作成し、さらに各半導体チップ毎に照査を実施しているので、複数の半導体チップ間の結線を確認することが困難であり、照査漏れ等の発生頻度が高くなるという課題があった。

【 0 0 0 8 】

また、従来の設計支援装置は、鏡面型の M C P において、フレームの表面と裏面とでは座標系が反転するので、半導体チップ間の結線を確認することが極めて困難である等の課題があった。

【 0 0 0 9 】

この発明は上記のような課題を解決するためになされたもので、M C P 又は鏡面型の M C P において、複数の半導体チップとフレームとを結線した図を容易に作成及び照査することができる設計支援装置及び設計支援方法を得ることを目的とする。

【 0 0 1 0 】

【課題を解決するための手段】

この発明に係る設計支援装置は、半導体チップ情報とフレーム情報とを取得し各半導体チップ毎に半導体チップ・フレーム合成情報を作成する情報合成手段と、情報合成手段が作成した半導体チップ・フレーム合成情報に基づいて各半導体チップ毎に半導体チップ・フレーム間結線情報を作成する結線情報作成手段と、結線情報作成手段が作成した半導体チップ・フレーム間結線情報に基づいて全ての半導体チップとフレームとの結線情報を表示可能な半導体チップ・フレーム間結線統合情報を作成する半導体チップ・フレーム間結線情報統合手段とを備えるものである。

## 【0011】

この発明に係る設計支援装置は、半導体チップ情報、フレーム情報、半導体チップ・フレーム間結線情報及び半導体チップ・フレーム間結線統合情報の少なくとも一つ又は二つ以上が、記録手段に記録されるようにしたものである。

## 【0012】

この発明に係る設計支援装置は、半導体チップ・フレーム間結線情報統合手段が、図面化する際の色や濃淡等を選択できる表示形式選択機能を備えるものである。

## 【0013】

この発明に係る設計支援装置は、半導体チップ・フレーム間結線情報統合手段が、図面化する際に任意の半導体チップを選択できる半導体チップ選択機能を備えるものである。

## 【0014】

この発明に係る設計支援装置は、半導体チップ・フレーム間結線情報統合手段が、図面化する際に複数の半導体チップからなる任意の半導体チップ群を選択できる半導体チップ群層選択機能を備えるものである。

## 【0015】

この発明に係る設計支援装置は、半導体チップ・フレーム間結線情報統合手段が、図面化する際に半導体チップの正転／反転を各半導体チップ毎に選択できる正転／反転選択機能を備えるものである。

## 【0016】

この発明に係る設計支援装置は、半導体チップ・フレーム間結線情報統合手段が、図面化する際に任意の構成要素を選択できる構成要素選択機能を備えるものである。

【 0 0 1 7 】

この発明に係る設計支援装置は、半導体チップ・フレーム間結線情報統合手段が、任意の領域に対して表示倍率を変更できる表示倍率変更機能を備えるものである。

【 0 0 1 8 】

この発明に係る設計支援装置は、半導体チップ・フレーム間結線情報統合手段が、任意の領域に対して 3 次元表示ができる 3 次元表示機能を備えるものである。

【 0 0 1 9 】

この発明に係る設計支援装置は、半導体チップ・フレーム間結線情報統合手段が、表示倍率変更機能又は 3 次元表示機能を用いて表示された半導体チップ・フレーム間結線統合情報を、任意の角度に回転できる回転機能を備えるものである。

【 0 0 2 0 】

この発明に係る設計支援装置は、半導体チップ・フレーム間結線情報統合手段が、半導体チップ・フレーム間結線統合情報を簡易表示できる簡易表示機能を備えるものである。

【 0 0 2 1 】

この発明に係る設計支援装置は、簡易表示情報を記録する記録手段を備え、情報合成手段が、半導体チップ情報、フレーム情報及び簡易表示情報を取得し各半導体チップ毎に半導体チップ・フレーム合成情報を作成するようにしたものである。

【 0 0 2 2 】

この発明に係る設計支援装置は、半導体チップ・フレーム間結線情報統合手段が、各半導体チップに結線しているの結線ワイヤの本数を数える結線本数確認機能を備えるものである。

【 0 0 2 3 】

この発明に係る設計支援装置は、半導体チップ・フレーム間結線統合情報から印刷データを作成する印刷データ作成手段と、半導体チップ・フレーム間結線統合情報から描画データを作成する描画データ作成手段とを備えるものである。

【 0 0 2 4 】

この発明に係る設計支援方法は、半導体チップ情報とフレーム情報とを取得し各半導体チップ毎に半導体チップ・フレーム合成情報を作成する情報合成ステップと、半導体チップ・フレーム合成情報に基づいて各半導体チップ毎に半導体チップ・フレーム間結線情報を作成する結線情報作成ステップと、半導体チップ・フレーム間結線情報に基づいて全ての半導体チップとフレームとの結線情報を表示可能な半導体チップ・フレーム間結線統合情報を作成する半導体チップ・フレーム間結線情報統合ステップとを有するものである。

【 0 0 2 5 】

この発明に係る設計支援方法は、情報合成ステップが、半導体チップ情報、フレーム情報及び簡易表示情報を取得し各半導体チップ毎に半導体チップ・フレーム合成情報を作成するようにしたものである。

【 0 0 2 6 】

この発明に係る設計支援方法は、半導体チップ・フレーム間結線統合情報から印刷データを作成する印刷データ作成ステップと、半導体チップ・フレーム間結線統合情報から描画データを作成する描画データ作成ステップとを有するようにしたものである。

【 0 0 2 7 】

【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

実施の形態 1.

図 1 は、この発明の実施の形態 1 による設計支援装置を示すブロック図である。図 1 において、1 は複数の半導体チップとフレームとを結線した半導体チップ・フレーム間結線図を作成する設計支援装置である。設計支援装置 1 において、2 は磁気記録装置などに記録され半導体チップのパッドの個数や位置等を示すパ

ッド情報と半導体チップの大きさ等を示すチップ枠情報等を格納する半導体チップ情報格納部（記録手段）、3は磁気記録装置などに記録されフレームのリード部の個数や位置等を示すリード部情報とダイパッド部の大きさ等を示すダイパッド部情報等を格納するフレーム情報格納部（記録手段）、4は半導体チップ情報格納部2とフレーム情報格納部3とから半導体チップ情報とフレーム情報とをそれぞれ読み出し、各半導体チップ毎に半導体チップとフレームとの相対的な座標系を合わせ込み1枚の図面で表現可能なように半導体チップ・フレーム合成情報を作成する情報合成部（情報合成手段）、5は情報合成部4が作成した半導体チップ・フレーム合成情報において各半導体チップ毎に半導体チップの結線部であるパッドとフレームとの間を結線し半導体チップ・フレーム間結線情報を作成する結線情報作成部（結線情報作成手段）、6は結線情報作成部5が作成した半導体チップ・フレーム間結線情報を格納する半導体チップ・フレーム間結線情報格納部（記録手段）、7は各半導体チップ毎に作成された半導体チップ・フレーム間結線情報をフレームの座標に基づいて統合し全ての半導体チップとフレームとの結線情報を作成する半導体チップ・フレーム間結線情報統合部（半導体チップ・フレーム間結線情報統合手段）、8は半導体チップ・フレーム間結線情報統合部7が作成した半導体チップ・フレーム間結線統合情報を格納する半導体チップ・フレーム間結線統合情報格納部（記録手段）である。

## 【 0 0 2 8 】

また、図1において、9は半導体チップ又はフレームの座標や大きさ等のパラメータを入力または変更するパラメータ入力部、10は半導体チップ・フレーム間結線情報格納部6に格納された半導体チップ・フレーム間結線情報を図面化すると共にモニタ等を使用して目視で確認する結線情報視認部、11は半導体チップ・フレーム間結線統合情報格納部8に格納された半導体チップ・フレーム間結線統合情報を図面化すると共にモニタ等を使用して目視で確認する結線情報視認部である。

## 【 0 0 2 9 】

図2は、この発明の実施の形態1による設計支援装置が作成した半導体チップとフレームとを結線した半導体チップ・フレーム間結線統合情報を図面化したも

のである。図 2 において、従来技術に示された図 3 1 及び図 3 2 と同一符号は同一または相当部分を示すのでその説明を省略する。図 3 は、この発明の実施の形態 1 による設計支援装置の動作を説明するフローチャートである。

#### 【 0 0 3 0 】

次に動作について説明する。

先ず、ステップ S T 1 において、パッド情報やチップ枠情報等を含む半導体チップ情報を半導体チップ情報格納部 2 から読み出すか、又はパラメータ入力部 9 から入力する。次に、ステップ S T 2 において、リード部情報やダイパッド部情報等を含むフレーム情報をフレーム情報格納部 3 から読み出すか、又はパラメータ入力部 9 から入力する。次に、ステップ S T 3 において、各半導体チップ毎に半導体チップとフレームとの相対的な座標系を合わせ込み、1 枚の図面で表現可能なように半導体チップ情報とフレーム情報とから半導体チップ・フレーム合成情報を情報合成部 4 が作成する（情報合成ステップ）。

#### 【 0 0 3 1 】

次に、ステップ S T 4 において、各半導体チップ毎に作成した半導体チップ・フレーム合成情報に対して、結線情報作成部 5 が半導体チップの結線部であるパッドとフレームとの間を結線し半導体チップ・フレーム間結線情報を作成する（結線情報作成ステップ）。次に、ステップ S T 5 において、各半導体チップ毎に作成した半導体チップ・フレーム間結線情報を、半導体チップ・フレーム間結線情報格納部 6 に格納する。次に、ステップ S T 6 において、結線情報視認部 1 0 によって、各半導体チップ毎に作成した半導体チップ・フレーム間結線情報を確認し、確認した結果に問題がなければステップ S T 7 に進み、確認した結果に問題があればステップ S T 4 に戻る。

#### 【 0 0 3 2 】

次に、ステップ S T 7 において、半導体チップ・フレーム間結線情報統合部 7 が、各半導体チップ毎に作成された半導体チップ・フレーム間結線情報をフレームの座標に基づいて統合し全ての半導体チップとフレームとの結線情報を作成する（半導体チップ・フレーム間結線情報統合ステップ）。次に、ステップ S T 8 において、半導体チップ・フレーム間結線統合情報格納部 8 に、半導体チップ・

フレーム間結線統合情報を格納する。次に、ステップ S T 9 において、結線情報視認部 1 1 によって、半導体チップ・フレーム間結線統合情報を確認し、確認した結果に問題がなければ処理を終了し、確認した結果に問題があればステップ S T 7 に戻る。

## 【 0 0 3 3 】

また、ステップ S T 9 において、半導体チップ・フレーム間結線統合情報は、図 2 に示したように、結線情報視認部 1 1 によって図面化され、第 1 の半導体チップ 1 1 3 と第 2 の半導体チップ 1 1 6 とを同時に確認することが可能になる。

## 【 0 0 3 4 】

以上のように、この実施の形態 1 によれば、半導体チップ・フレーム間結線情報統合部 7 が、各半導体チップ毎に作成された半導体チップ・フレーム間結線情報から半導体チップ・フレーム間結線統合情報を作成するようにしたので、M C P 又は鏡面型の M C P において、複数の半導体チップとフレームとを結線した図を容易に作成及び照査することができるという効果が得られる。

## 【 0 0 3 5 】

なお、この実施の形態 1 では、2 つの半導体チップ 1 1 3, 1 1 6 をダイパッド部 1 1 2 に積み上げた構成のチップ群について説明したが、これに限られるものではなく、半導体チップが任意の個数であり、半導体チップとフレームとの相対位置関係が任意の位置関係である場合においても、上記と同様の効果が得られる。

## 【 0 0 3 6 】

実施の形態 2.

この発明の実施の形態 2 による設計支援装置は、図 1 に示された実施の形態 1 による設計支援装置と同一の構成であるのでその説明を省略する。但し、実施の形態 2 における設計支援装置は、図面化する際の色や濃淡等を選択できる表示形式選択機能を有する点で、図 1 に符号 7 を付して示したものと異なる半導体チップ・フレーム間結線情報統合部（半導体チップ・フレーム間結線情報統合手段）を備えるものである。

## 【 0 0 3 7 】



図 4、図 5 及び図 6 は、この発明の実施の形態 2 による設計支援装置が作成した半導体チップとフレームとを結線した半導体チップ・フレーム間結線統合情報を図面化した一例を示すものである。図 4 において、1 2 1 は第 1 の半導体チップ、1 2 2 は第 2 の半導体チップ、1 2 3 は黒色で表示された第 1 の半導体チップ 1 2 1 のパッド、1 2 4 は白色で表示された第 2 の半導体チップ 1 2 2 のパッド、1 2 5 は第 1 の半導体チップ 1 2 1 のパッド 1 2 3 と結線ワイヤで接続している黒色で表示されたリード部、1 2 6 は第 2 の半導体チップ 1 2 2 のパッド 1 2 4 と結線ワイヤで接続している白色で表示されたリード部である。

## 【 0 0 3 8 】

図 5 において、1 3 1 は第 1 の半導体チップ、1 3 2 は薄く表示された第 2 の半導体チップ、1 3 3 は第 1 の半導体チップ 1 3 1 のパッド、1 3 4 は薄く表示された第 2 の半導体チップ 1 3 2 のパッド、1 3 5 は第 1 の半導体チップ 1 3 1 とリード部とを結線する結線ワイヤ、1 3 6 は第 2 の半導体チップ 1 3 2 とリード部とを結線する薄く表示された結線ワイヤである。

## 【 0 0 3 9 】

図 6 において、1 4 1 は第 1 の半導体チップ、1 4 2 は第 2 の半導体チップ、1 4 3 はパターン表示された第 1 の半導体チップ 1 4 1 のパッド、1 4 4 は第 2 の半導体チップ 1 4 2 のパッド、1 4 5 は第 1 の半導体チップ 1 4 1 のパッド 1 4 3 と結線ワイヤで接続しているパターン表示されたリード部、1 4 6 は第 2 の半導体チップ 1 4 2 のパッド 1 4 4 と結線ワイヤで接続しているリード部、1 4 7 は第 1 の半導体チップ 1 4 1 のパッド 1 4 3 とリード部 1 4 5 とを結線する破線で表示された結線ワイヤ、1 4 8 は第 2 の半導体チップ 1 4 2 のパッド 1 4 4 とリード部 1 4 6 とを結線する実線で表示された結線ワイヤである。

## 【 0 0 4 0 】

次に動作について説明する。

この発明の実施の形態 2 による設計支援装置の動作は、図 3 に示された実施の形態 1 による設計支援装置の動作と同一であるのでその説明を省略する。但し、実施の形態 2 における設計支援装置の動作は、ステップ S T 9 において、半導体チップ・フレーム間結線統合情報が、図 4 ～図 6 に示したように、結線情報視認

部 1 1 によって図面化されると共に、図面化する際の色や濃淡等を選択することによって、半導体チップとフレームとの結線の確認を容易にできる。

【 0 0 4 1 】

以上のように、この実施の形態 2 によれば、半導体チップ・フレーム間結線情報統合部 7 が、図面化する際の色や濃淡等を選択できる表示形式選択機能を備え、各半導体チップ毎に作成された半導体チップ・フレーム間結線情報から半導体チップ・フレーム間結線統合情報を作成するようにしたので、図面化する際の色や濃淡等を選択できるから、複数の半導体チップとフレームとを結線した図を容易に作成及び照査することができるという効果が得られる。

【 0 0 4 2 】

なお、この実施の形態 2 で示した表示色や表示パターンは一例であり、これに限られるものではなく、その他の表示色、表示パターンにおいても上記と同様の効果が得られる。

【 0 0 4 3 】

実施の形態 3.

この発明の実施の形態 3 による設計支援装置は、図 1 に示された実施の形態 1 による設計支援装置と同一の構成であるのでその説明を省略する。但し、実施の形態 3 における設計支援装置は、図面化する際に任意の半導体チップを選択できる半導体チップ選択機能を有する点で、図 1 に符号 7 を付して示したものと異なる半導体チップ・フレーム間結線情報統合部（半導体チップ・フレーム間結線情報統合手段）を備えるものである。

【 0 0 4 4 】

図 7 及び図 8 は、この発明の実施の形態 3 による設計支援装置が作成した半導体チップとフレームとを結線した半導体チップ・フレーム間結線統合情報を図面化した一例を示すものである。図において、1 5 1 はフレームのダイパッド部、1 5 2 は第 1 の半導体チップ、1 5 3 は第 1 の半導体チップ 1 5 2 上に設置している第 2 の半導体チップ、1 5 4 は第 3 の半導体チップ、1 5 5 は第 3 の半導体チップ 1 5 4 上に設置している第 4 の半導体チップである。なお、図 8 は、第 1 の半導体チップ 1 5 2 と第 4 の半導体チップ 1 5 5 を選択して図面化した場合を

示したものである。

【 0 0 4 5 】

次に動作について説明する。

この発明の実施の形態 3 による設計支援装置の動作は、図 3 に示された実施の形態 1 による設計支援装置の動作と同一であるのでその説明を省略する。但し、実施の形態 3 における設計支援装置の動作は、ステップ S T 9 において、半導体チップ・フレーム間結線統合情報が、図 7，図 8 に示したように、結線情報視認部 1 1 によって図面化されると共に、図面化する際に任意の半導体チップを選択することによって、任意の半導体チップとフレームとの結線の確認を容易にできるものである。

【 0 0 4 6 】

以上のように、この実施の形態 3 によれば、半導体チップ・フレーム間結線情報統合部 7 が、図面化する際に任意の半導体チップを選択できる半導体チップ選択機能を備え、各半導体チップ毎に作成された半導体チップ・フレーム間結線情報から半導体チップ・フレーム間結線統合情報を作成するようにしたので、図面化する際に任意の半導体チップを選択できるから、任意の半導体チップとフレームとを結線した図を容易に作成及び照査することができるという効果が得られる。

【 0 0 4 7 】

なお、この実施の形態 3 で示した半導体チップの個数や位置関係は一例であり、これに限られるものではなく、半導体チップの任意の個数、及び任意の位置関係構成した場合においても上記と同様の効果が得られる。

【 0 0 4 8 】

実施の形態 4.

この発明の実施の形態 4 による設計支援装置は、図 1 に示された実施の形態 1 による設計支援装置と同一の構成であるのでその説明を省略する。但し、実施の形態 4 における設計支援装置は、図面化する際に M C P における任意の層の半導体チップ群を選択できる半導体チップ群層選択機能を有する点で、図 1 に符号 7 を付して示したものと異なる半導体チップ・フレーム間結線情報統合部（半導

体チップ・フレーム間結線情報統合手段)を備えるものである。

【0049】

図9は、この発明の実施の形態4における半導体チップとフレームとの位置関係を示す断面図であり、図7に示された図面化した半導体チップ・フレーム間結線統合情報の断面図に相当する。図9において、図7と同一符号は同一または相当部分を示すのでその説明を省略する。

【0050】

図10は、この発明の実施の形態4による設計支援装置が作成した半導体チップとフレームとを結線した半導体チップ・フレーム間結線統合情報を図面化した一例を示すものである。図10において、図7と同一符号は同一または相当部分を示すのでその説明を省略する。

【0051】

次に動作について説明する。

この発明の実施の形態4による設計支援装置の動作は、図3に示された実施の形態1による設計支援装置の動作と同一であるのでその説明を省略する。但し、実施の形態4における設計支援装置の動作は、ステップST9において、半導体チップ・フレーム間結線統合情報が、図10に示したように、結線情報視認部11によって図面化されると共に、図面化する際にMCPにおける任意の層の半導体チップ群を選択することによって、任意の層の半導体チップ群とフレームとの結線の確認を容易にできる。

【0052】

以上のように、この実施の形態4によれば、半導体チップ・フレーム間結線情報統合部7が、図面化する際にMCPにおける任意の層の半導体チップ群を選択できる半導体チップ群層選択機能を備え、各半導体チップ毎に作成された半導体チップ・フレーム間結線情報から半導体チップ・フレーム間結線統合情報を作成するようにしたので、図面化する際にMCPにおける任意の層の半導体チップ群を選択できるから、任意の層の半導体チップ群とフレームとを結線した図を容易に作成及び照査することができるという効果が得られる。

【0053】

なお、この実施の形態 4 では、MCP における 1 つの層のみを選択して図面化するように説明したが、これに限られるものではなく、複数の層を選択できるようにしてもよい。

## 【0054】

実施の形態 5.

この発明の実施の形態 5 による設計支援装置は、図 1 に示された実施の形態 1 による設計支援装置と同一の構成であるのでその説明を省略する。但し、実施の形態 5 における設計支援装置は、図面化する際に鏡面型の MCP において半導体チップの正転／反転を各半導体チップ毎に選択できる正転／反転選択機能を有する点で、図 1 に符号 7 を付して示したものと異なる半導体チップ・フレーム間結線情報統合部（半導体チップ・フレーム間結線情報統合手段）を備えるものである。

## 【0055】

図 1 1 は、この発明の実施の形態 5 における半導体チップとフレームとの位置関係を示す断面図である。図 1 2, 図 1 3 及び図 1 4 は、この発明の実施の形態 5 による設計支援装置が作成した半導体チップとフレームとを結線した半導体チップ・フレーム間結線統合情報を図面化した一例を示すものである。図において、161 はフレームのダイパッド部、162 は第 1 の半導体チップ、163 は第 2 の半導体チップである。なお、鏡面型の MCP は、図 1 1 に示されたように、ダイパッド部 161 の表裏に各半導体チップが設置される。

## 【0056】

次に動作について説明する。

この発明の実施の形態 5 による設計支援装置の動作は、図 3 に示された実施の形態 1 による設計支援装置の動作と同一であるのでその説明を省略する。但し、実施の形態 5 における設計支援装置の動作は、ステップ ST 9 において、半導体チップ・フレーム間結線統合情報が、図 1 2 及び図 1 3 に示したように、結線情報視認部 1 1 によって図面化されると共に、図面化する際に鏡面型の MCP において半導体チップの正転／反転を各半導体チップ毎に選択することによって、ダイパッド部 161 の裏側にある第 2 の半導体チップ 163 に対して、結線の確認

を容易にできる。また、図 1 4 に示したように、結線情報視認部 1 1 によって図面化されると共に、図面化する際に鏡面型の MCP において正転した半導体チップと反転した半導体チップとを同時に確認できる透視図を作成することによって、結線の確認を容易にできる。

## 【 0 0 5 7 】

以上のように、この実施の形態 5 によれば、半導体チップ・フレーム間結線情報統合部 7 が、図面化する際に鏡面型の MCP において半導体チップの正転／反転を各半導体チップ毎に選択できる正転／反転選択機能を備え、各半導体チップ毎に作成された半導体チップ・フレーム間結線情報から半導体チップ・フレーム間結線統合情報を作成するようにしたので、図面化する際に鏡面型の MCP における各半導体チップの正転／反転を選択すると共に、正転した半導体チップと反転した半導体チップとを同時に確認できる透視図を作成することができるから、鏡面型の MCP における各半導体チップとフレームとを結線した図を容易に作成及び照査することができるという効果が得られる。

## 【 0 0 5 8 】

実施の形態 6.

この発明の実施の形態 6 による設計支援装置は、図 1 に示された実施の形態 1 による設計支援装置と同一の構成であるのでその説明を省略する。但し、実施の形態 6 における設計支援装置は、図面化する際にフレームにおける任意のリード部（構成要素）、又は半導体チップにおける任意のパッド（構成要素）、又は任意の結線ワイヤ（構成要素）を選択できる構成要素選択機能を有する点で、図 1 に符号 7 を付して示したものと異なる半導体チップ・フレーム間結線情報統合部（半導体チップ・フレーム間結線情報統合手段）を備えるものである。

## 【 0 0 5 9 】

図 1 5 は、この発明の実施の形態 6 による設計支援装置が作成した半導体チップとフレームとを結線した半導体チップ・フレーム間結線統合情報を図面化した一例を示すものである。図 1 5 において、1 7 1 は選択されたフレームのリード部、1 7 2 はリード部 1 7 1 と結線ワイヤ 1 7 3 を介して接続するパッド、1 7 3 はリード部 1 7 1 とパッド 1 7 2 を接続する結線ワイヤである。

## 【 0 0 6 0 】

次に動作について説明する。

この発明の実施の形態 6 による設計支援装置の動作は、図 3 に示された実施の形態 1 による設計支援装置の動作と同一であるのでその説明を省略する。但し、実施の形態 6 における設計支援装置の動作は、ステップ S T 9 において、半導体チップ・フレーム間結線統合情報が、図 1 5 に示したように、結線情報視認部 1 1 によって図面化されると共に、図面化する際にフレームの任意のリード部 1 7 1 を選択することによって、リード部 1 7 1 に接続するパッド 1 7 2 及び結線ワイヤ 1 7 3 が表示され、リード部 1 7 1、パッド 1 7 2 及び結線ワイヤ 1 7 3 以外のリード部、パッド部及び結線ワイヤは消去される。このことによって、任意の構成要素に対して結線の確認が容易にできる。

## 【 0 0 6 1 】

以上のように、この実施の形態 6 によれば、半導体チップ・フレーム間結線情報統合部 7 が、図面化する際にフレームにおける任意のリード部、又は半導体チップにおける任意のパッド、又は任意の結線ワイヤを選択できる構成要素選択機能を備え、各半導体チップ毎に作成された半導体チップ・フレーム間結線情報から半導体チップ・フレーム間結線統合情報を作成するようにしたので、図面化する際に任意の構成要素を選択できるから、選択された任意の構成要素に対して結線の確認が容易にできるという効果が得られる。

## 【 0 0 6 2 】

なお、この実施の形態 6 において、一つの構成要素を選択した場合について説明しているが、これに限られるものではなく、複数の構成要素を選択できるようにしてもよい。

## 【 0 0 6 3 】

実施の形態 7.

この発明の実施の形態 7 による設計支援装置は、図 1 に示された実施の形態 1 による設計支援装置と同一の構成であるのでその説明を省略する。但し、実施の形態 7 における設計支援装置は、任意の領域に対して表示倍率を変更できる表示倍率変更機能を有する点で、図 1 に符号 7 を付して示したものとは異なる半導体

チップ・フレーム間結線情報統合部（半導体チップ・フレーム間結線情報統合手段）を備えるものである。

## 【 0 0 6 4 】

図 1 6 は、この発明の実施の形態 7 における表示倍率変更機能を説明するための図面化した半導体チップ・フレーム間結線統合情報を示す説明図である。図 1 6 において、図 2 と同一符号は同一または相当部分を示すのでその説明は省略する。1 8 1 は図 2 に示された図面化した半導体チップ・フレーム間結線統合情報の任意の領域を指定するための矩形部、1 8 2 は矩形部 1 8 1 で指定された領域を拡大又は縮小して表示する拡大・縮小表示矩形部である。

## 【 0 0 6 5 】

次に動作について説明する。

この発明の実施の形態 7 による設計支援装置の動作は、図 3 に示された実施の形態 1 による設計支援装置の動作と同一であるのでその説明を省略する。但し、実施の形態 7 における設計支援装置の動作は、ステップ S T 9 において、半導体チップ・フレーム間結線統合情報が、図 1 6 に示したように、結線情報視認部 1 1 によって図面化されると共に、図面化された半導体チップ・フレーム間結線統合情報の任意の領域を矩形部 1 8 1 で指定することによって、表示倍率を変更できる。このことによって、効率良く結線の確認が容易にできる。

## 【 0 0 6 6 】

以上のように、この実施の形態 7 によれば、半導体チップ・フレーム間結線情報統合部 7 が、任意の領域に対して表示倍率を変更できる表示倍率変更機能を備え、各半導体チップ毎に作成された半導体チップ・フレーム間結線情報から半導体チップ・フレーム間結線統合情報を作成するようにしたので、図面化された半導体チップ・フレーム間結線統合情報の任意の領域を矩形部 1 8 1 で指定し、表示倍率を変更することができるから、効率良く結線の確認が容易にできるという効果が得られる。

## 【 0 0 6 7 】

なお、この実施の形態 7 において、任意の領域を矩形部 1 8 1 で指定する場合について説明したが、これに限られるものではなく、領域の指定方法は他の方法



であってもよい。

【 0 0 6 8 】

実施の形態 8.

この発明の実施の形態 8 による設計支援装置は、図 1 に示された実施の形態 1 による設計支援装置と同一の構成であるのでその説明を省略する。但し、実施の形態 8 における設計支援装置は、任意の領域に対して 3 次元表示ができる 3 次元表示機能を有する点で、図 1 に符号 7 を付して示したものとは異なる半導体チップ・フレーム間結線情報統合部（半導体チップ・フレーム間結線情報統合手段）を備えるものである。

【 0 0 6 9 】

図 1 7 は、この発明の実施の形態 8 における 3 次元表示機能を説明するための図面化した半導体チップ・フレーム間結線統合情報を示す説明図である。図 1 7 において、図 2 と同一符号は同一または相当部分を示すのでその説明は省略する。1 9 1 は図 2 に示された図面化した半導体チップ・フレーム間結線統合情報の任意の領域を指定するための矩形部、1 9 2 は矩形部 1 9 1 で指定された領域を 3 次元表示する 3 次元表示矩形部である。

【 0 0 7 0 】

次に動作について説明する。

この発明の実施の形態 8 による設計支援装置の動作は、図 3 に示された実施の形態 1 による設計支援装置の動作と同一であるのでその説明を省略する。但し、実施の形態 8 における設計支援装置の動作は、ステップ S T 9 において、半導体チップ・フレーム間結線統合情報が、図 1 7 に示したように、結線情報視認部 1 1 によって図面化されると共に、図面化された半導体チップ・フレーム間結線統合情報の任意の領域を矩形部 1 9 1 で指定することによって、3 次元表示ができる。このことによって、効率良く結線の確認が容易にできる。

【 0 0 7 1 】

以上のように、この実施の形態 8 によれば、半導体チップ・フレーム間結線情報統合部 7 が、任意の領域に対して 3 次元表示ができる 3 次元表示機能を備え、各半導体チップ毎に作成された半導体チップ・フレーム間結線情報から半導体チ

ップ・フレーム間結線統合情報を作成するようにしたので、図面化された半導体チップ・フレーム間結線統合情報の任意の領域を矩形部 1 9 1 で指定し、3 次元表示をすることができるから、効率良く結線の確認が容易にできるという効果が得られる。

## 【 0 0 7 2 】

なお、この実施の形態 8 において、任意の領域を矩形部 1 9 1 で指定する場合について説明したが、これに限られるものではなく、領域の指定方法は他の方法であってもよい。

## 【 0 0 7 3 】

実施の形態 9.

この発明の実施の形態 9 による設計支援装置は、図 1 に示された実施の形態 1 による設計支援装置と同一の構成であるのでその説明を省略する。但し、実施の形態 9 における設計支援装置は、任意の領域に対して 3 次元表示ができる 3 次元表示機能と、任意の領域に対して表示倍率を変更できる表示倍率変更機能と、3 次元表示機能又は表示倍率変更機能により図面化した半導体チップ・フレーム間結線統合情報を任意の角度に回転できる回転機能とを有する点で、図 1 に符号 7 を付して示したものとは異なる半導体チップ・フレーム間結線情報統合部（半導体チップ・フレーム間結線情報統合手段）を備えるものである。

## 【 0 0 7 4 】

図 1 8 は、この発明の実施の形態 9 における回転機能を説明するための図面化した半導体チップ・フレーム間結線統合情報を示す説明図である。図 1 8 において、2 0 1 は 3 次元表示機能により半導体チップ・フレーム間結線統合情報を 3 次元表示する 3 次元表示矩形部、2 0 2 はフレームのリード部、2 0 3 はフレームのダイパッド部、2 0 4 は第 1 の半導体チップ、2 0 5 は第 2 の半導体チップ、2 0 6 は第 2 の半導体チップ 2 0 5 のパッド、2 0 7 はリード部 2 0 2 とパッド 2 0 6 とを結線する結線ワイヤ、2 0 8 は回転機能により 3 次元表示された半導体チップ・フレーム間結線統合情報に対して視点を左方向に 4 5 度回転した 3 次元表示矩形部である。

## 【 0 0 7 5 】

次に動作について説明する。

この発明の実施の形態 9 による設計支援装置の動作は、図 3 に示された実施の形態 1 による設計支援装置の動作と同一であるのでその説明を省略する。但し、実施の形態 9 における設計支援装置の動作は、ステップ S T 9 において、半導体チップ・フレーム間結線統合情報が、図 1 8 に示したように、結線情報視認部 1 1 によって図面化されると共に、図面化された半導体チップ・フレーム間結線統合情報を 3 次元表示した場合、又は拡大・縮小表示した場合において、任意の方向に回転し、再び図面化される。このことによって、効率良く結線の確認が容易にできる。

#### 【 0 0 7 6 】

以上のように、この実施の形態 9 によれば、半導体チップ・フレーム間結線情報統合部 7 が、任意の領域に対して 3 次元表示ができる 3 次元表示機能と、任意の領域に対して表示倍率を変更できる表示倍率変更機能と、3 次元表示機能又は表示倍率変更機能により図面化した半導体チップ・フレーム間結線統合情報を任意の角度に回転できる回転機能とを備え、各半導体チップ毎に作成された半導体チップ・フレーム間結線情報から半導体チップ・フレーム間結線統合情報を作成するようにしたので、3 次元表示又は拡大・縮小表示された半導体チップ・フレーム間結線統合情報に対して、任意の方向に回転し、再び図面化することができるから、効率良く結線の確認が容易にできるという効果が得られる。

#### 【 0 0 7 7 】

実施の形態 1 0 .

この発明の実施の形態 1 0 による設計支援装置は、図 1 に示された実施の形態 1 による設計支援装置と同一の構成であるのでその説明を省略する。但し、実施の形態 1 0 における設計支援装置は、半導体チップ・フレーム間結線統合情報を簡易表示できる簡易表示機能を有する点で、図 1 に符号 7 を付して示したものと異なる半導体チップ・フレーム間結線情報統合部（半導体チップ・フレーム間結線情報統合手段）を備えるものである。

#### 【 0 0 7 8 】

図 1 9 は、この発明の実施の形態 1 0 による設計支援装置が作成した半導体チ

ップとフレームとを結線した半導体チップ・フレーム間結線統合情報を図面化した一例を示すものである。図 1 9 において、図 7 と同一符号は同一または相当部分を示すものとしてその説明を省略する。2 1 1 はフレームのリード部、2 1 2 は各半導体チップのパッド、2 1 3 はリード部 2 1 1 とパッド 2 1 2 とを結線する結線ワイヤである。

## 【 0 0 7 9 】

図 2 0 は、この発明の実施の形態 1 0 による設計支援装置が作成した簡易表示の一例を示す簡易表示図であり、図 1 9 に示された図面化された半導体チップ・フレーム間結線統合情報の簡易表示に相当する。図 2 0 において、2 1 4 は簡易表示されたダイパッド部であり、2 1 5 は簡易表示された第 1 の半導体チップであり、2 1 6 は簡易表示された第 2 の半導体チップであり、2 1 7 は簡易表示された第 3 の半導体チップであり、2 1 8 は簡易表示された第 4 の半導体チップである。なお、簡易表示された各半導体チップ 2 1 5 ～ 2 1 8 は、半導体チップ情報に含まれるチップ枠情報を図面化したものである。

## 【 0 0 8 0 】

図 2 1 は、この発明の実施の形態 1 0 による設計支援装置が作成した簡易表示の一例を示す簡易表示図であり、図 2 0 に示された半導体チップ・フレーム間結線統合情報の簡易表示に対して 9 0 度回転したものに相当する。図 2 1 において、図 2 0 と同一符号は同一または相当部分を示すのでその説明を省略する。

## 【 0 0 8 1 】

次に動作について説明する。

この発明の実施の形態 1 0 による設計支援装置の動作は、図 3 に示された実施の形態 1 による設計支援装置の動作と同一であるのでその説明を省略する。但し、実施の形態 1 0 における設計支援装置の動作は、ステップ S T 9 において、半導体チップ・フレーム間結線統合情報が、図 1 9 ～ 図 2 1 に示したように、結線情報視認部 1 1 によって図面化されると共に、図面化された半導体チップ・フレーム間結線統合情報を簡易表示した場合、表示する数が多いリード部 2 1 1、パッド部 2 1 2 及び結線ワイヤ 2 1 3 を省略することができるので、高速描画することが可能になる。このことによって、効率良く結線の確認が容易にできる。

## 【 0 0 8 2 】

以上のように、この実施の形態 1 0 によれば、半導体チップ・フレーム間結線情報統合部 7 が、半導体チップ・フレーム間結線統合情報を簡易表示できる簡易表示機能を備え、各半導体チップ毎に作成された半導体チップ・フレーム間結線情報から半導体チップ・フレーム間結線統合情報を作成するようにしたので、簡易表示された半導体チップ・フレーム間結線統合情報を高速描画することによって効率良く結線の確認が容易にできるという効果が得られる。

## 【 0 0 8 3 】

実施の形態 1 1 .

この発明の実施の形態 1 1 による設計支援装置は、図 1 に示された実施の形態 1 による設計支援装置と同一の構成であるのでその説明を省略する。但し、実施の形態 1 1 における設計支援装置は、半導体チップ・フレーム間結線統合情報を簡易表示できる簡易表示機能を有する点で、図 1 に符号 7 を付して示したものと異なる半導体チップ・フレーム間結線情報統合部（半導体チップ・フレーム間結線情報統合手段）を備えるものである。

## 【 0 0 8 4 】

図 2 2 は、この発明の実施の形態 1 1 による設計支援装置が作成した簡易表示の一例を示す簡易表示図である。図 2 2 において、図 2 0 と同一符号は同一または相当部分を示すのでその説明を省略する。なお、図 2 2 の斜線部は、簡易表示された第 1 の半導体チップ 2 1 5 と簡易表示された第 3 の半導体チップ 2 1 7 とが選択された状態を示している。

## 【 0 0 8 5 】

図 2 3 は、この発明の実施の形態 1 1 による設計支援装置が作成した半導体チップとフレームとを結線した半導体チップ・フレーム間結線統合情報を図面化した一例を示すものである。図 2 3 において、図 7 と同一符号は同一または相当部分を示すものとしてその説明を省略する。

## 【 0 0 8 6 】

次に動作について説明する。

この発明の実施の形態 1 1 による設計支援装置の動作は、図 3 に示された実施

の形態 1 による設計支援装置の動作と同一であるのでその説明を省略する。但し、実施の形態 1 1 における設計支援装置の動作は、ステップ S T 9 において、半導体チップ・フレーム間結線統合情報が、図 2 2 及び図 2 3 に示したように、結線情報視認部 1 1 によって図面化されると共に、図面化された半導体チップ・フレーム間結線統合情報を簡易表示した場合、簡易表示された任意の半導体チップを選択することによって、任意の半導体チップとフレームとの結線の確認を容易にかつ迅速にできる。

## 【 0 0 8 7 】

以上のように、この実施の形態 1 1 によれば、半導体チップ・フレーム間結線情報統合部 7 が、半導体チップ・フレーム間結線統合情報を簡易表示できる簡易表示機能を備え、各半導体チップ毎に作成された半導体チップ・フレーム間結線情報から半導体チップ・フレーム間結線統合情報を作成するようにしたので、簡易表示された半導体チップ・フレーム間結線統合情報から任意の半導体チップを選択できるから、効率良く結線の確認が容易にできるという効果が得られる。

## 【 0 0 8 8 】

なお、この実施の形態 1 1 において、簡易表示された半導体チップを選択した場合は、斜線部で表示するように説明したが、これに限られるものではなく、他の表示パターン、表示色等を用いてもよい。

## 【 0 0 8 9 】

実施の形態 1 2 .

図 2 4 は、この発明の実施の形態 1 2 による設計支援装置を示すブロック図である。図 2 4 において、図 1 と同一符号は同一または相当部分を示すのでその説明を省略する。2 1 は複数の半導体チップとフレームとを結線した半導体チップ・フレーム間結線図を作成可能であり簡易表示もできる設計支援装置である。設計支援装置 2 1 において、2 2 は磁気記録装置などに記録され半導体チップ情報やフレーム情報等を格納する半導体チップ情報・フレーム情報格納部（記録手段）、2 3 は磁気記録装置などに記録され簡易表示図を作成するための簡易表示情報を格納する簡易表示情報格納部（記録手段）、2 4 は半導体チップ情報・フレーム情報格納部 2 2 と簡易表示情報格納部 2 3 とから半導体チップ情報、フレ

ム情報及び簡易表示情報をそれぞれ読み出し、各半導体チップ毎に半導体チップ、フレーム及び簡易表示図の相対的な座標系を合わせ込み 1 枚の図面で表現可能なように半導体チップ・フレーム合成情報を作成する情報合成部（情報合成手段）である。25 は簡易表示情報の座標や大きさ等のパラメータを入力または変更するパラメータ入力部、26 は簡易表示情報格納部 23 に格納された簡易表示情報を図面化すると共にモニタ等を使用して目視で確認する簡易表示情報視認部である。

## 【0090】

図 25 は、この発明の実施の形態 12 による設計支援装置が作成した簡易表示の一例を示す簡易表示図である。図 25 において、221 は簡易表示されたダイパッド部、222 は簡易表示された第 1 の半導体チップ、223 は簡易表示された第 2 の半導体チップである。なお、簡易表示されたダイパッド部 221 は図 2 に示されたダイパッド部 112 を簡易表示したものであり、簡易表示された第 1 の半導体チップ 221 は図 2 に示された第 1 の半導体チップ 113 を簡易表示したものであり、簡易表示された第 2 の半導体チップ 223 は図 2 に示された第 2 の半導体チップ 116 を簡易表示したものである。図 26 は、この発明の実施の形態 12 による設計支援装置の動作を説明するフローチャートである。

## 【0091】

次に動作について説明する。

まず、ステップ S T 1 1 において、半導体チップ情報やフレーム情報を半導体チップ情報・フレーム情報格納部 22 から読み出すか、又はパラメータ入力部 9 から入力する。次に、ステップ S T 1 2 において、簡易表示情報を、簡易表示情報格納部 23 から読み出すか、又はパラメータ入力部 25 から入力する。次に、ステップ S T 1 3 において、簡易表示情報視認部 26 によって簡易表示図を確認し、確認した結果に問題がなければステップ S T 1 4 に進み、確認した結果に問題があればステップ S T 1 2 に戻る。

## 【0092】

次に、ステップ S T 1 4 において、各半導体チップ毎に半導体チップ情報、フレーム情報及び簡易表示情報との相対的な座標系を合わせ込み、1 枚の図面で表

現可能なように半導体チップ情報、フレーム情報及び簡易表示情報から半導体チップ・フレーム合成情報を情報合成部 2 4 が作成する（情報合成ステップ）。以降の動作は、図 3 に示されたステップ S T 4 ～ステップ S T 9 と同一であるのでその説明を省略する。

## 【 0 0 9 3 】

以上のように、この実施の形態 1 2 によれば、簡易表示情報格納部 2 3 を備えるようにしたので、半導体チップ・フレーム間結線統合情報から簡易表示図を作成する必要がなく、簡易表示情報格納部 2 3 に格納された簡易表示情報に基づいて作成された簡易表示図から、半導体チップ・フレーム間結線統合情報を作成する半導体チップを選択することができるので、より一層効率良く結線の確認が容易にできるという効果が得られる。

## 【 0 0 9 4 】

また、この実施の形態 1 2 では、フレームが 1 個で構成された M C P について説明しているが、これに限られるものではなく、複数のフレームを有する場合にはどちらか一方を選択して表示してもよい。

## 【 0 0 9 5 】

実施の形態 1 3 .

この発明の実施の形態 1 3 による設計支援装置は、図 1 に示された実施の形態 1 による設計支援装置と同一の構成であるのでその説明を省略する。但し、実施の形態 1 3 における設計支援装置は、半導体チップ・フレーム間結線統合情報から各半導体チップに結線しているの結線ワイヤの本数を数える結線本数確認機能を有する点で、図 1 に符号 7 を付して示したものと異なる半導体チップ・フレーム間結線情報統合部（半導体チップ・フレーム間結線情報統合手段）を備えるものである。

## 【 0 0 9 6 】

図 2 7 は、この発明の実施の形態 1 3 における設計支援装置が作成した結線本数を数えた結果の一例を示す結線本数確認図である。なお、図 2 7 に示された結線本数確認図は、図 2 に示された実施の形態 1 における設計支援装置が作成した半導体チップ・フレーム間結線統合情報に基づいて作成されたものである。



## 【0097】

次に動作について説明する。

この発明の実施の形態13による設計支援装置の動作は、図3に示された実施の形態1による設計支援装置の動作と同一であるのでその説明を省略する。但し、実施の形態13における設計支援装置の動作は、ステップST9において、半導体チップ・フレーム間結線統合情報が、図27に示したように、結線情報視認部11によって結線本数確認図を確認できるので、半導体チップ・フレーム間結線統合情報を図面化しない場合においても、結線状態を容易にかつ迅速に確認することができる。

## 【0098】

以上のように、この実施の形態13によれば、半導体チップ・フレーム間結線情報統合部7が、半導体チップ・フレーム間結線統合情報から各半導体チップに結線しているの結線ワイヤの本数を数える結線本数確認機能を備え、各半導体チップ毎に作成された半導体チップ・フレーム間結線情報から半導体チップ・フレーム間結線統合情報を作成するようにしたので、結線情報視認部によって結線本数確認図を確認できるから、半導体チップ・フレーム間結線統合情報を図面化しない場合においても、全体の結線状態を容易にかつ迅速に確認することができるという効果が得られる。

## 【0099】

なお、この実施の形態13において、結線状態を表形式で確認する場合について説明したが、これに限られるものではない。

## 【0100】

実施の形態14.

図28は、この発明の実施の形態14による設計支援装置を示すブロック図である。図28において、8は半導体チップ・フレーム間結線統合情報格納部であり、図1に同一符号で示されたものと同一である。31は複数の半導体チップとフレームとを結線した半導体チップ・フレーム間結線統合情報を図面化し印刷することができる設計支援装置である。設計支援装置31において、32は指定した半導体チップ・フレーム間結線統合情報から印刷データを作成する印刷データ

作成部（印刷データ作成手段）、33は指定した半導体チップ・フレーム間結線統合情報から描画データを作成する描画データ作成部（描画データ作成手段）、34は印刷データ作成部32が作成した印刷データを格納する印刷データ格納部、35は描画データ作成部33が作成した描画データを格納する描画データ格納部である。

## 【0101】

また、図28において、36は半導体チップ・フレーム間結線統合情報格納部8に対して作成するデータの種類の半導体チップ・フレーム間結線統合情報の指定を行うパラメータ入力部、37は印刷データ格納部34に格納された印刷データを印刷する印刷部、38は印刷部37が印刷した図面である。図29は、この発明の実施の形態14による設計支援装置の動作を説明するフローチャートである。

## 【0102】

次に、動作について説明する。

まず、ステップST21において、パラメータ入力部36が半導体チップ・フレーム間結線統合情報格納部8に対して作成するデータの種類の半導体チップ・フレーム間結線統合情報の指定を行う。次に、ステップST22において、パラメータ入力部36から入力された作成するデータの種類の印刷データである場合はステップST23に進み、描画データである場合はステップST25に進む。

## 【0103】

次に、ステップST23において、印刷データ作成部32が、パラメータ入力部36から指定された半導体チップ・フレーム間結線統合情報から印刷データを作成する（印刷データ作成ステップ）。次に、ステップST24において、印刷データ作成部32が作成した印刷データを記録媒体に格納するか、又は格納せずに出力する。

## 【0104】

一方、ステップST25において、描画データ作成部33が、パラメータ入力部36から指定された半導体チップ・フレーム間結線統合情報から描画データを作成する（描画データ作成ステップ）。次に、ステップST26において、描画

データ作成部 3 3 が作成した描画データを記録媒体に格納するか、又は格納せずに出力する。

【 0 1 0 5 】

印刷する場合には、印刷部 3 7 が印刷データ作成部 3 2 が作成した印刷データに基づいて、図面 3 8 を印刷する。

【 0 1 0 6 】

以上のように、この実施の形態 1 4 によれば、印刷データまたは描画データを作成し、出力又は格納するようにしたので、印刷部などの外部の装置を利用できるという効果が得られる。

【 0 1 0 7 】

【発明の効果】

以上のように、この発明によれば、半導体チップ情報とフレーム情報とを取得し各半導体チップ毎に半導体チップ・フレーム合成情報を作成する情報合成手段と、情報合成手段が作成した半導体チップ・フレーム合成情報に基づいて各半導体チップ毎に半導体チップ・フレーム間結線情報を作成する結線情報作成手段と、結線情報作成手段が作成した半導体チップ・フレーム間結線情報に基づいて全ての半導体チップとフレームとの結線情報を表示可能な半導体チップ・フレーム間結線統合情報を作成する半導体チップ・フレーム間結線情報統合手段とを備えるように構成したので、MCP 又は鏡面型の MCP に適用した場合においても、複数の半導体チップとフレームとを結線した図を容易に作成及び照査することができるという効果が得られる。

【 0 1 0 8 】

この発明によれば、半導体チップ情報、フレーム情報、半導体チップ・フレーム間結線情報及び半導体チップ・フレーム間結線統合情報の少なくとも一つ又は二つ以上が、記録手段に記録されるように構成したので、各情報を視認手段により容易に確認することができるという効果が得られる。

【 0 1 0 9 】

この発明によれば、半導体チップ・フレーム間結線情報統合手段が、図面化する場合の色や濃淡等を選択できる表示形式選択機能を備えるように構成したので、

図面化する際の色や濃淡等を選択できるから、複数の半導体チップとフレームとを結線した図を容易に作成及び照査することができるという効果が得られる。

【0 1 1 0】

この発明によれば、半導体チップ・フレーム間結線情報統合手段が、図面化する際に任意の半導体チップを選択できる半導体チップ選択機能を備えるように構成したので、図面化する際に任意の半導体チップを選択できるから、任意の半導体チップとフレームとを結線した図を容易に作成及び照査することができるという効果が得られる。

【0 1 1 1】

この発明によれば、半導体チップ・フレーム間結線情報統合手段が、図面化する際に複数の半導体チップからなる任意の半導体チップ群を選択できる半導体チップ群層選択機能を備えるように構成したので、図面化する際にMCPにおける任意の層の半導体チップ群を選択できるから、任意の層の半導体チップ群とフレームとを結線した図を容易に作成及び照査することができるという効果が得られる。

【0 1 1 2】

この発明によれば、半導体チップ・フレーム間結線情報統合手段が、図面化する際に半導体チップの正転／反転を各半導体チップ毎に選択できる正転／反転選択機能を備えるように構成したので、図面化する際に鏡面型のMCPにおける各半導体チップの正転／反転を選択すると共に、正転した半導体チップと反転した半導体チップとを同時に確認できる透視図を作成することができるから、鏡面型のMCPにおける各半導体チップとフレームとを結線した図を容易に作成及び照査することができるという効果が得られる。

【0 1 1 3】

この発明によれば、半導体チップ・フレーム間結線情報統合手段が、図面化する際に任意の構成要素を選択できる構成要素選択機能を備えるように構成したので、選択された任意の構成要素に対して結線の確認が容易にできるという効果が得られる。

【0 1 1 4】

この発明によれば、半導体チップ・フレーム間結線情報統合手段が、任意の領域に対して表示倍率を変更できる表示倍率変更機能を備えるように構成したので、図面化された半導体チップ・フレーム間結線統合情報の任意の領域に対して、表示倍率を変更することができるから、効率良く結線の確認が容易にできるという効果が得られる。

## 【 0 1 1 5 】

この発明によれば、半導体チップ・フレーム間結線情報統合手段が、任意の領域に対して3次元表示ができる3次元表示機能を備えるように構成したので、図面化された半導体チップ・フレーム間結線統合情報の任意の領域に対して、3次元表示をすることができるから、効率良く結線の確認が容易にできるという効果が得られる。

## 【 0 1 1 6 】

この発明によれば、半導体チップ・フレーム間結線情報統合手段が、表示倍率変更機能又は3次元表示機能を用いて表示された半導体チップ・フレーム間結線統合情報を、任意の角度に回転できる回転機能を備えるように構成したので、任意の方向に回転し、再び図面化することができるから、効率良く結線の確認が容易にできるという効果が得られる。

## 【 0 1 1 7 】

この発明によれば、半導体チップ・フレーム間結線情報統合手段が、半導体チップ・フレーム間結線統合情報を簡易表示できる簡易表示機能を備えるように構成したので、簡易表示された半導体チップ・フレーム間結線統合情報を高速描画できると共に、簡易表示された半導体チップ・フレーム間結線統合情報から任意の半導体チップを選択できるから、効率良く結線の確認が容易にできるという効果が得られる。

## 【 0 1 1 8 】

この発明によれば、簡易表示情報を記録する記録手段を備え、情報合成手段が、半導体チップ情報、フレーム情報及び簡易表示情報を取得し各半導体チップ毎に半導体チップ・フレーム合成情報を作成するように構成したので、簡易表示情報に基づいて作成された簡易表示図から、半導体チップ・フレーム間結線統合情

報を作成する半導体チップを選択することができるから、より一層効率良く結線の確認が容易にできるという効果が得られる。

## 【 0 1 1 9 】

この発明によれば、半導体チップ・フレーム間結線情報統合手段が、各半導体チップに結線しているの結線ワイヤの本数を数える結線本数確認機能を備えるように構成したので、結線情報視認部によって結線本数確認図を確認できるから、半導体チップ・フレーム間結線統合情報を図面化しない場合においても、全体の結線状態を容易にかつ迅速に確認することができるという効果が得られる。

## 【 0 1 2 0 】

この発明によれば、半導体チップ・フレーム間結線統合情報から印刷データを作成する印刷データ作成手段と、半導体チップ・フレーム間結線統合情報から描画データを作成する描画データ作成手段とを備えるように構成したので、外部の装置を利用できるという効果が得られる。

## 【 0 1 2 1 】

この発明によれば、半導体チップ情報とフレーム情報とを取得し各半導体チップ毎に半導体チップ・フレーム合成情報を作成する情報合成ステップと、半導体チップ・フレーム合成情報に基づいて各半導体チップ毎に半導体チップ・フレーム間結線情報を作成する結線情報作成ステップと、半導体チップ・フレーム間結線情報に基づいて全ての半導体チップとフレームとの結線情報を表示可能な半導体チップ・フレーム間結線統合情報を作成する半導体チップ・フレーム間結線情報統合ステップとを有するように構成したので、MCP又は鏡面型のMCPに適用した場合においても、複数の半導体チップとフレームとを結線した図を容易に作成及び照査することができるという効果が得られる。

## 【 0 1 2 2 】

この発明によれば、情報合成ステップが、半導体チップ情報、フレーム情報及び簡易表示情報を取得し各半導体チップ毎に半導体チップ・フレーム合成情報を作成するように構成したので、簡易表示情報に基づいて作成された簡易表示図から、半導体チップ・フレーム間結線統合情報を作成する半導体チップを選択することができるから、より一層効率良く結線の確認が容易にできるという効果が得

られる。

【 0 1 2 3 】

この発明によれば、半導体チップ・フレーム間結線統合情報から印刷データを作成する印刷データ作成ステップと、半導体チップ・フレーム間結線統合情報から描画データを作成する描画データ作成ステップとを有するように構成したので、外部の装置を利用できるという効果が得られる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による設計支援装置を示すブロック図である。

【図 2】 この発明の実施の形態 1 による設計支援装置が作成した半導体チップ・フレーム間結線統合情報を図面化したものである。

【図 3】 この発明の実施の形態 1 による設計支援装置の動作を説明するフローチャートである。

【図 4】 この発明の実施の形態 2 による設計支援装置が作成した半導体チップ・フレーム間結線統合情報を図面化した一例を示すものである。

【図 5】 この発明の実施の形態 2 による設計支援装置が作成した半導体チップ・フレーム間結線統合情報を図面化した一例を示すものである。

【図 6】 この発明の実施の形態 2 による設計支援装置が作成した半導体チップ・フレーム間結線統合情報を図面化した一例を示すものである。

【図 7】 この発明の実施の形態 3 による設計支援装置が作成した半導体チップ・フレーム間結線統合情報を図面化した一例を示すものである。

【図 8】 この発明の実施の形態 3 による設計支援装置が作成した半導体チップ・フレーム間結線統合情報を図面化した一例を示すものである。

【図 9】 この発明の実施の形態 4 における半導体チップとフレームとの位置関係を示す断面図である。

【図 1 0】 この発明の実施の形態 4 による設計支援装置が作成した半導体チップ・フレーム間結線統合情報を図面化した一例を示すものである。

【図 1 1】 この発明の実施の形態 5 における半導体チップとフレームとの位置関係を示す断面図である。

【図 1 2】 この発明の実施の形態 5 による設計支援装置が作成した半導体チップ・フレーム間結線統合情報を図面化した一例を示すものである。

【図 1 3】 この発明の実施の形態 5 による設計支援装置が作成した半導体チップ・フレーム間結線統合情報を図面化した一例を示すものである。

【図 1 4】 この発明の実施の形態 5 による設計支援装置が作成した半導体チップ・フレーム間結線統合情報を図面化した一例を示すものである。

【図 1 5】 この発明の実施の形態 6 による設計支援装置が作成した半導体チップ・フレーム間結線統合情報を図面化した一例を示すものである。

【図 1 6】 この発明の実施の形態 7 における表示倍率変更機能を説明するための図面化した半導体チップ・フレーム間結線統合情報を示す説明図である。

【図 1 7】 この発明の実施の形態 8 における 3 次元表示機能を説明するための図面化した半導体チップ・フレーム間結線統合情報を示す説明図である。

【図 1 8】 この発明の実施の形態 9 における回転機能を説明するための図面化した半導体チップ・フレーム間結線統合情報を示す説明図である。

【図 1 9】 この発明の実施の形態 1 0 による設計支援装置が作成した半導体チップ・フレーム間結線統合情報を図面化した一例を示すものである。

【図 2 0】 この発明の実施の形態 1 0 による設計支援装置が作成した簡易表示の一例を示す簡易表示図である。

【図 2 1】 この発明の実施の形態 1 0 による設計支援装置が作成した簡易表示の一例を示す簡易表示図である。

【図 2 2】 この発明の実施の形態 1 1 による設計支援装置が作成した簡易表示の一例を示す簡易表示図である。

【図 2 3】 この発明の実施の形態 1 1 による設計支援装置が作成した半導体チップ・フレーム間結線統合情報を図面化した一例を示すものである。

【図 2 4】 この発明の実施の形態 1 2 による設計支援装置を示すブロック図である。

【図 2 5】 この発明の実施の形態 1 2 による設計支援装置が作成した簡易表示の一例を示す簡易表示図である。

【図 2 6】 この発明の実施の形態 1 2 による設計支援装置の動作を説明す



るフローチャートである。

【図 2 7】 この発明の実施の形態 1 3 における設計支援装置が作成した結線本数を数えた結果の一例を示す結線本数確認図である。

【図 2 8】 この発明の実施の形態 1 4 による設計支援装置を示すブロック図である。

【図 2 9】 この発明の実施の形態 1 4 による設計支援装置の動作を説明するフローチャートである。

【図 3 0】 従来の設計支援装置の構成を示すブロック図である。

【図 3 1】 従来の設計支援装置が作成した第 1 の半導体チップとフレームとを結線した半導体チップ・フレーム間結線図の一例である。

【図 3 2】 従来の設計支援装置が作成した第 2 の半導体チップとフレームとを結線した半導体チップ・フレーム間結線図の一例である。

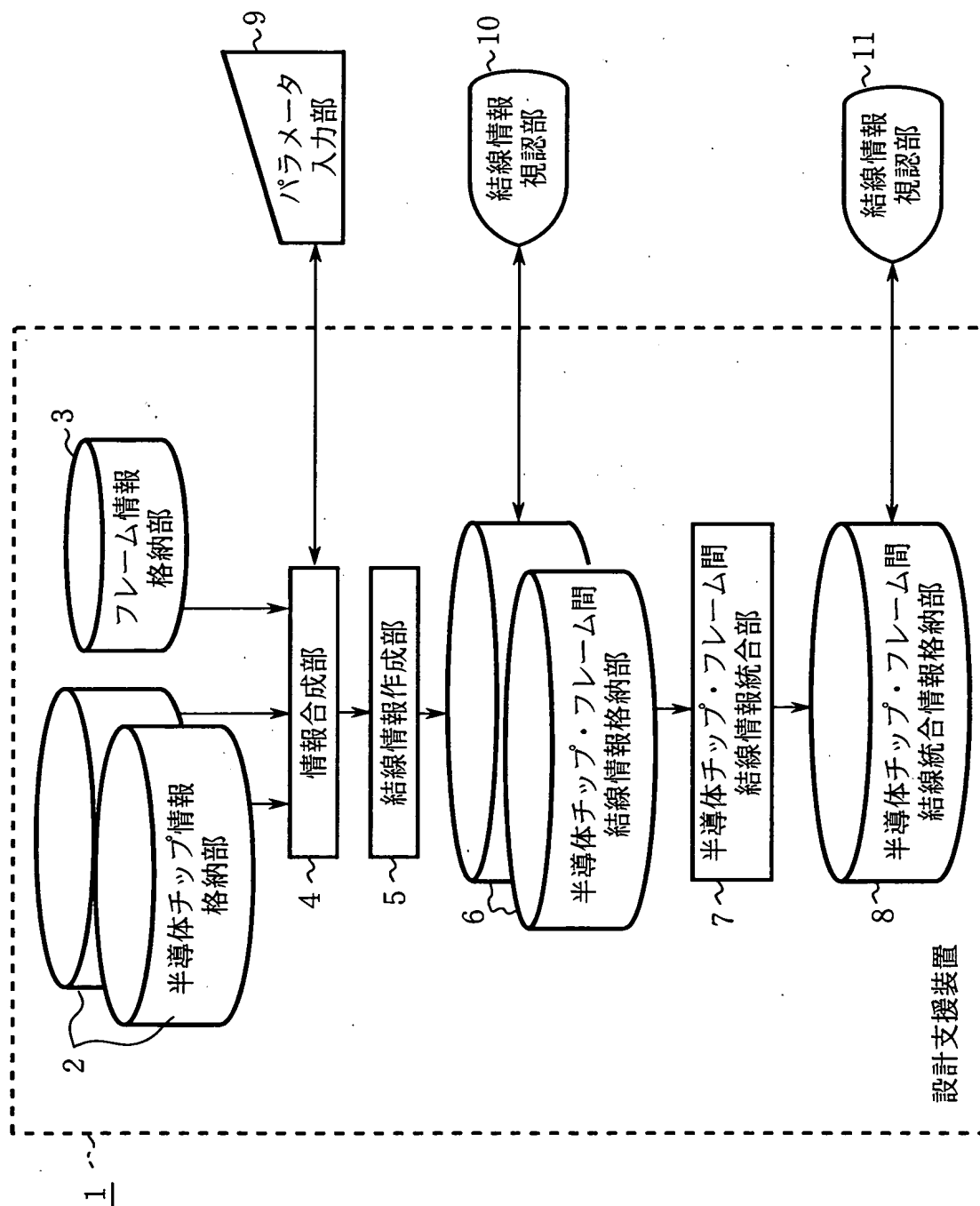
#### 【符号の説明】

1 設計支援装置、2 半導体チップ情報格納部（記録手段）、3 フレーム情報格納部（記録手段）、4 情報合成部（情報合成手段）、5 結線情報作成部（結線情報作成手段）、6 半導体チップ・フレーム間結線情報格納部（記録手段）、7 半導体チップ・フレーム間結線情報統合部（半導体チップ・フレーム間結線情報統合手段）、8 半導体チップ・フレーム間結線統合情報格納部（記録手段）、9 パラメータ入力部、10 結線情報視認部、11 結線情報視認部、21 設計支援装置、22 半導体チップ情報・フレーム情報格納部（記録手段）、23 簡易表示情報格納部（記録手段）、24 情報合成部（情報合成手段）、25 パラメータ入力部、26 簡易表示情報視認部、31 設計支援装置、32 印刷データ作成部（印刷データ作成手段）、33 描画データ作成部（描画データ作成手段）、34 印刷データ格納部、35 描画データ格納部、36 パラメータ入力部、37 印刷部、38 図面、111 リード部、112 ダイパッド部、113 第 1 の半導体チップ、114 パッド、115 結線ワイヤ、116 第 2 の半導体チップ、117 パッド、118 結線ワイヤ、121, 131, 141 第 1 の半導体チップ、122, 132, 142 第 2 の半導体チップ、123, 133, 143 第 1 の半導体チップのパッド

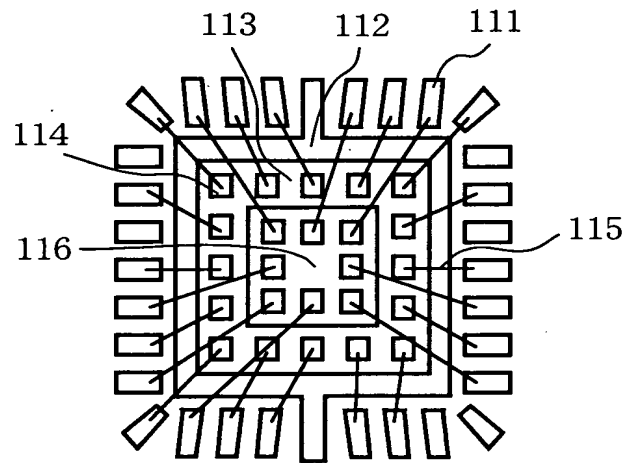
、124, 134, 144 第2の半導体チップのパッド、125, 126, 145, 146 リード部、135, 136, 147, 148 結線ワイヤ、151 ダイパッド部、152 第1の半導体チップ、153 第2の半導体チップ、154 第3の半導体チップ、155 第4の半導体チップ、161 ダイパッド部、162 第1の半導体チップ、163 第2の半導体チップ、171 リード部、172 パッド、173 結線ワイヤ、181, 191 矩形部、182 拡大・縮小表示矩形部、192, 201, 208 3次元表示矩形部、202 リード部、203 ダイパッド部、204 第1の半導体チップ、205 第2の半導体チップ、206 パッド、207 結線ワイヤ、211 リード部、212 パッド、213 結線ワイヤ、214 簡易表示されたダイパッド部、215 簡易表示された第1の半導体チップ、216 簡易表示された第2の半導体チップ、217 簡易表示された第3の半導体チップ、218 簡易表示された第4の半導体チップ、221 簡易表示されたダイパッド部、222 簡易表示された第1の半導体チップ、223 簡易表示された第2の半導体チップ。

【書類名】 図面

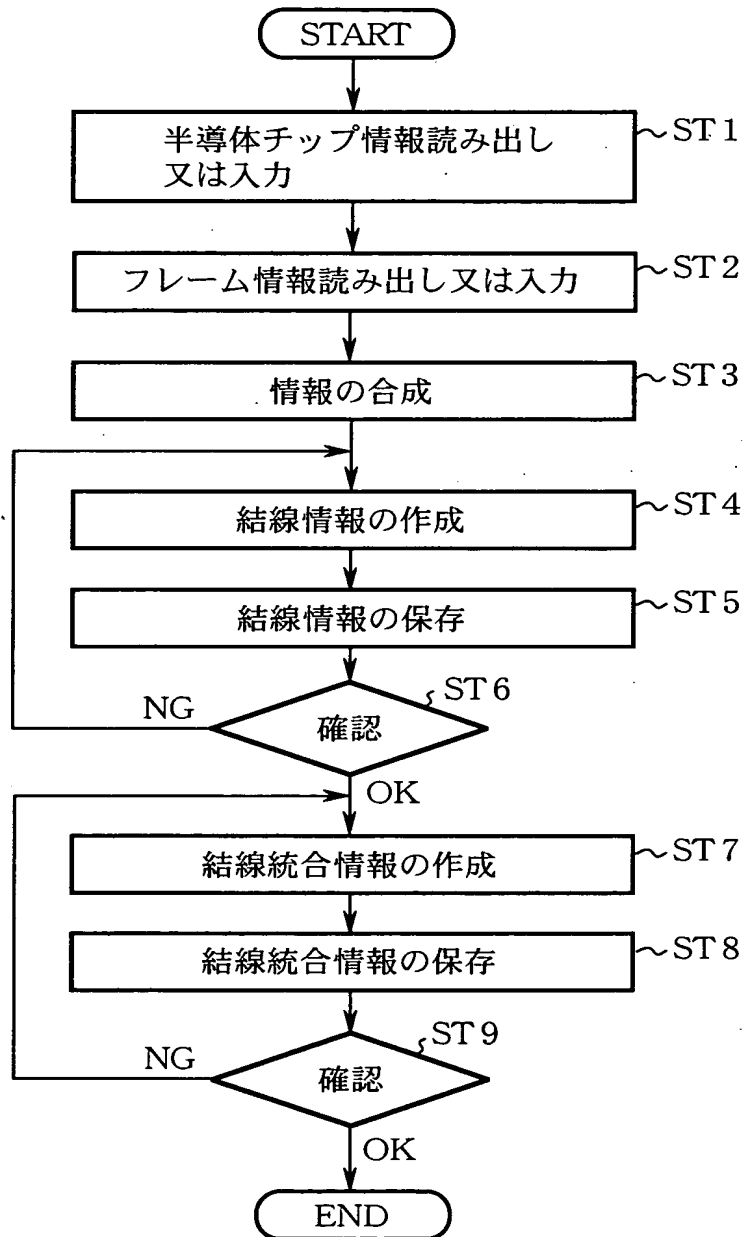
【図 1】



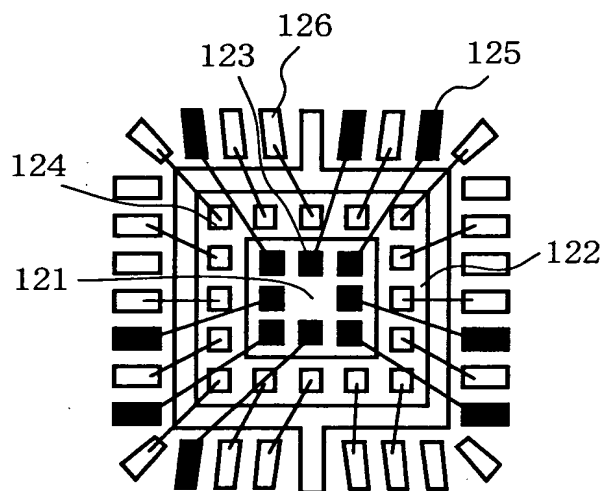
【図 2】



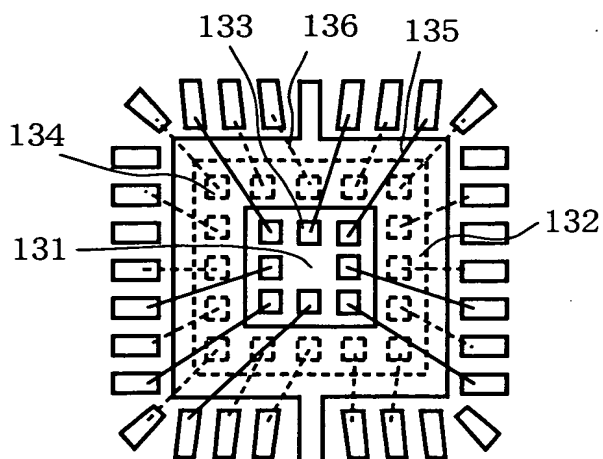
【図 3】



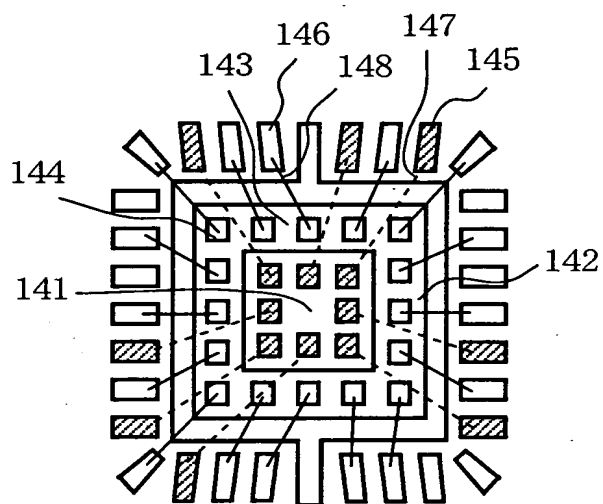
【図 4】



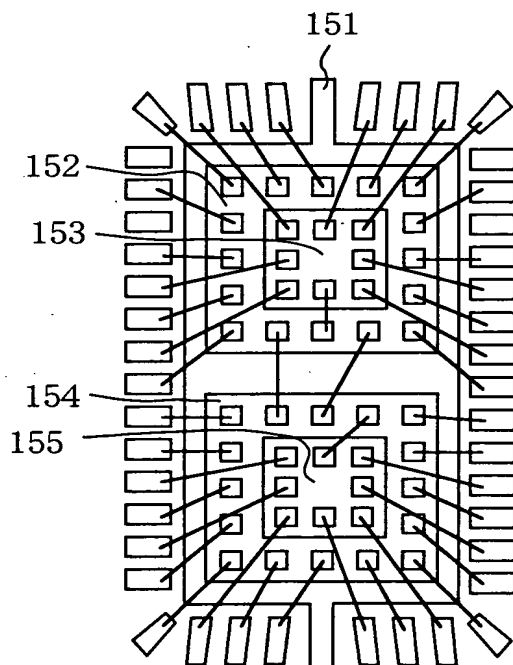
【図 5】



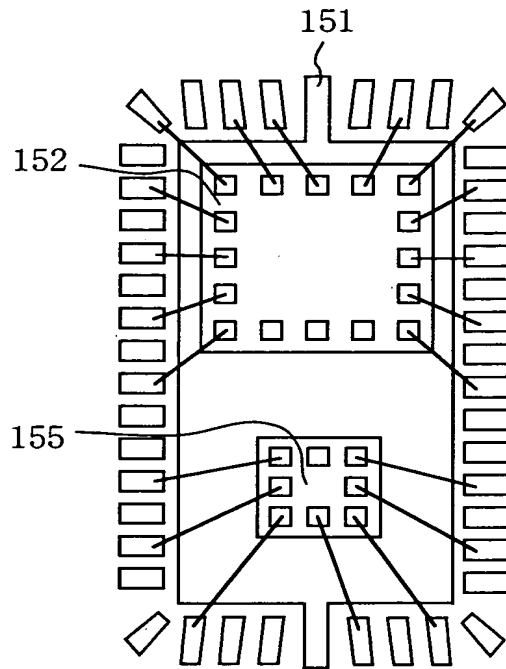
【図 6】



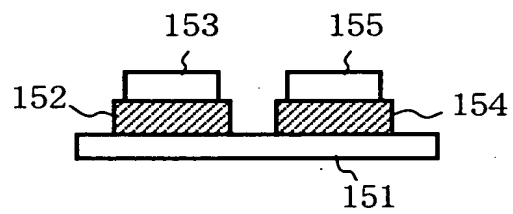
【図 7】



【図 8】

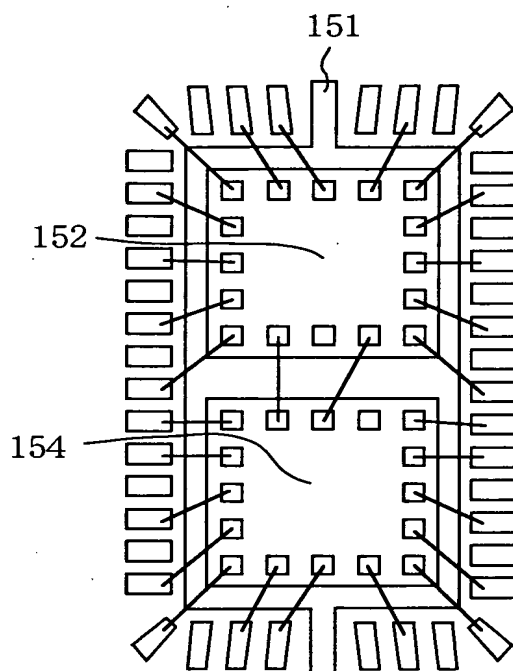


【図 9】

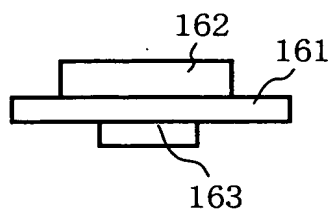




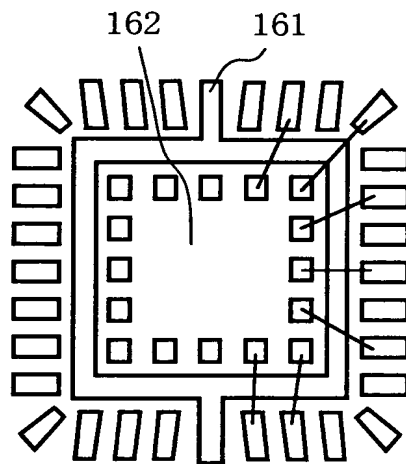
【図 10】



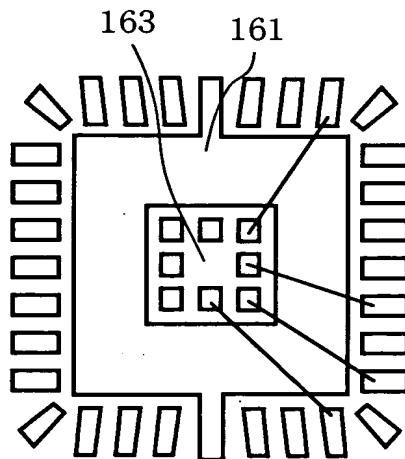
【図 11】



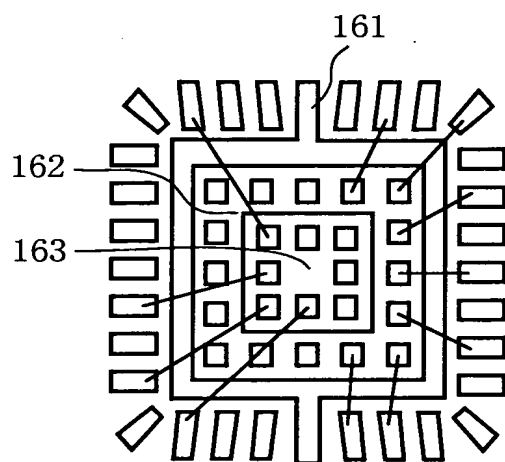
【図 12】



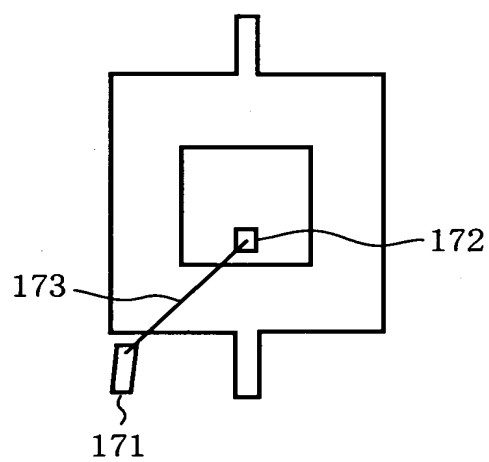
【図 13】



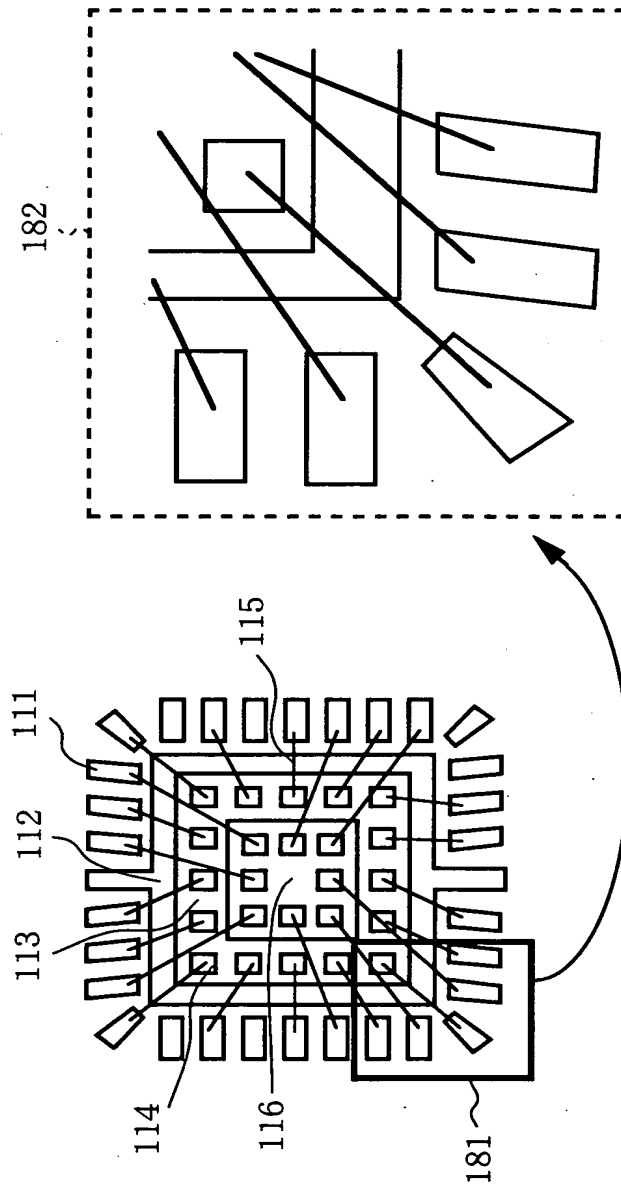
【図 1 4】



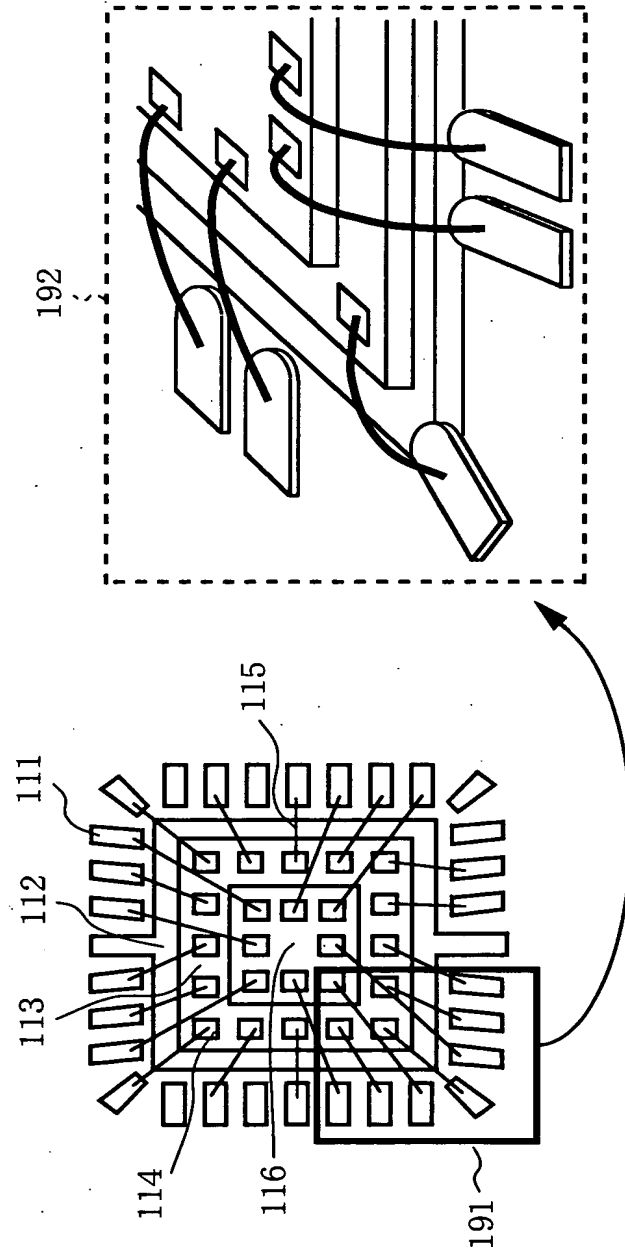
【図 1 5】



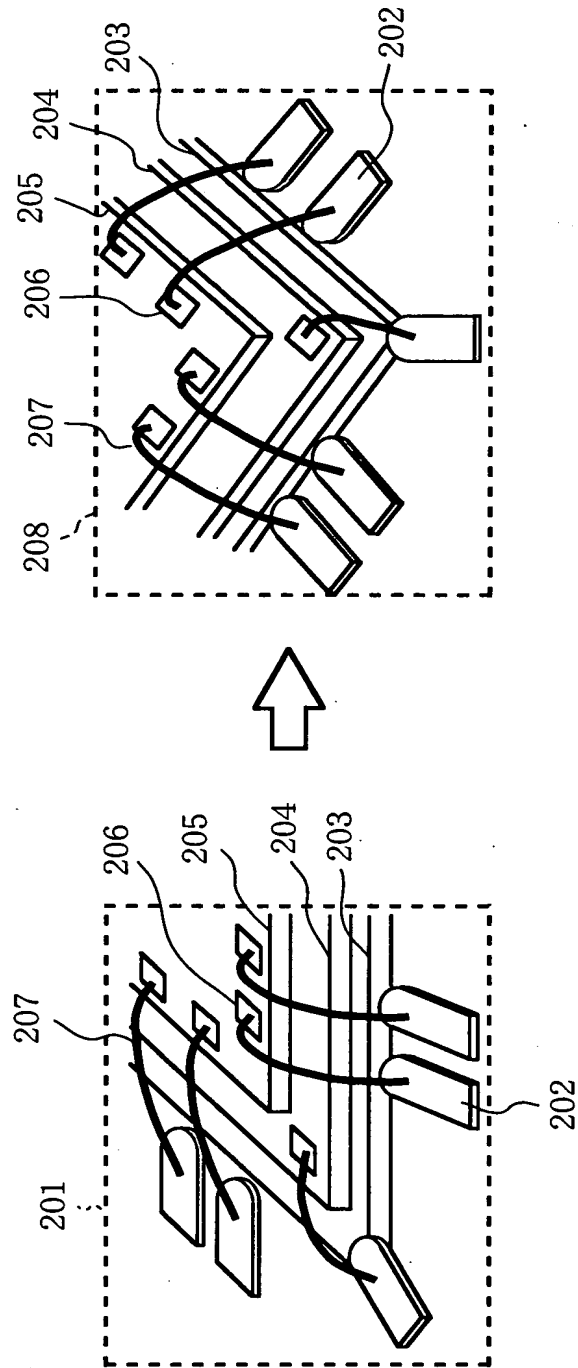
【図 16】



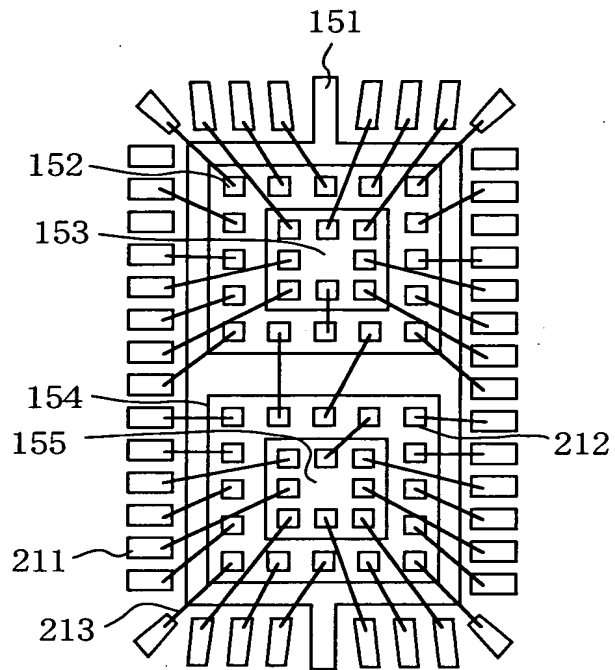
【図 17】



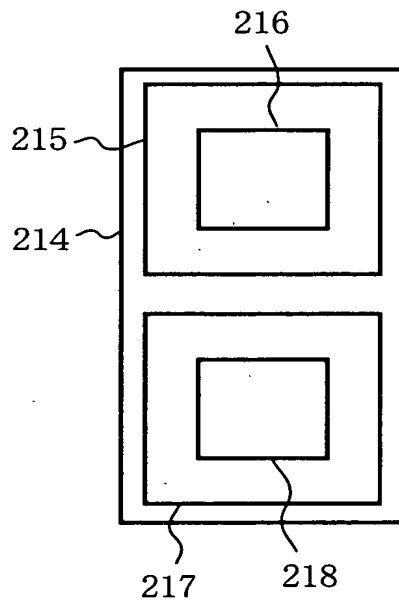
【図 1 8】



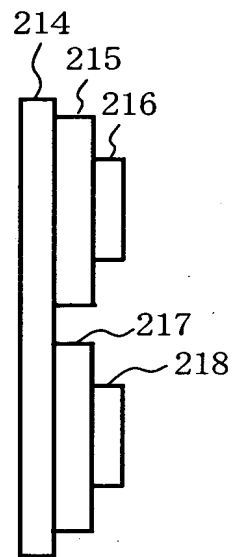
【図 1 9】



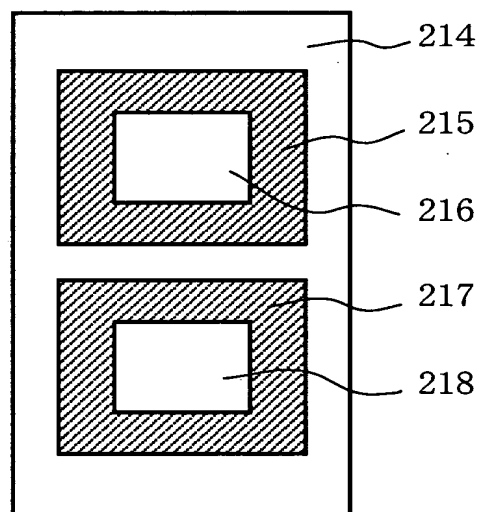
【図 2 0】



【図 2 1】

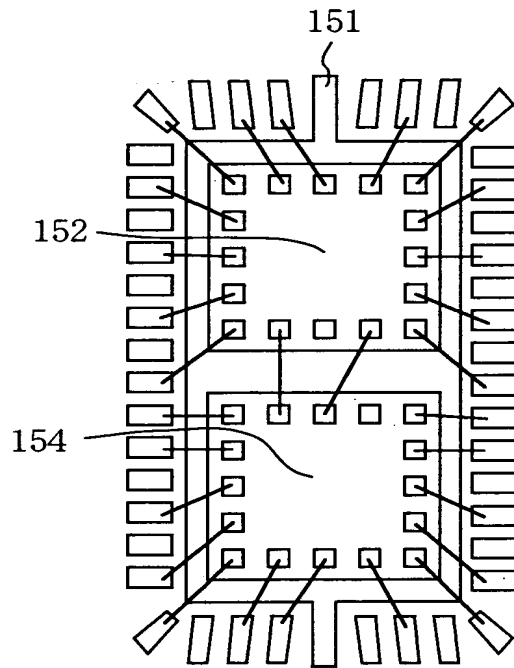


【図 2 2】

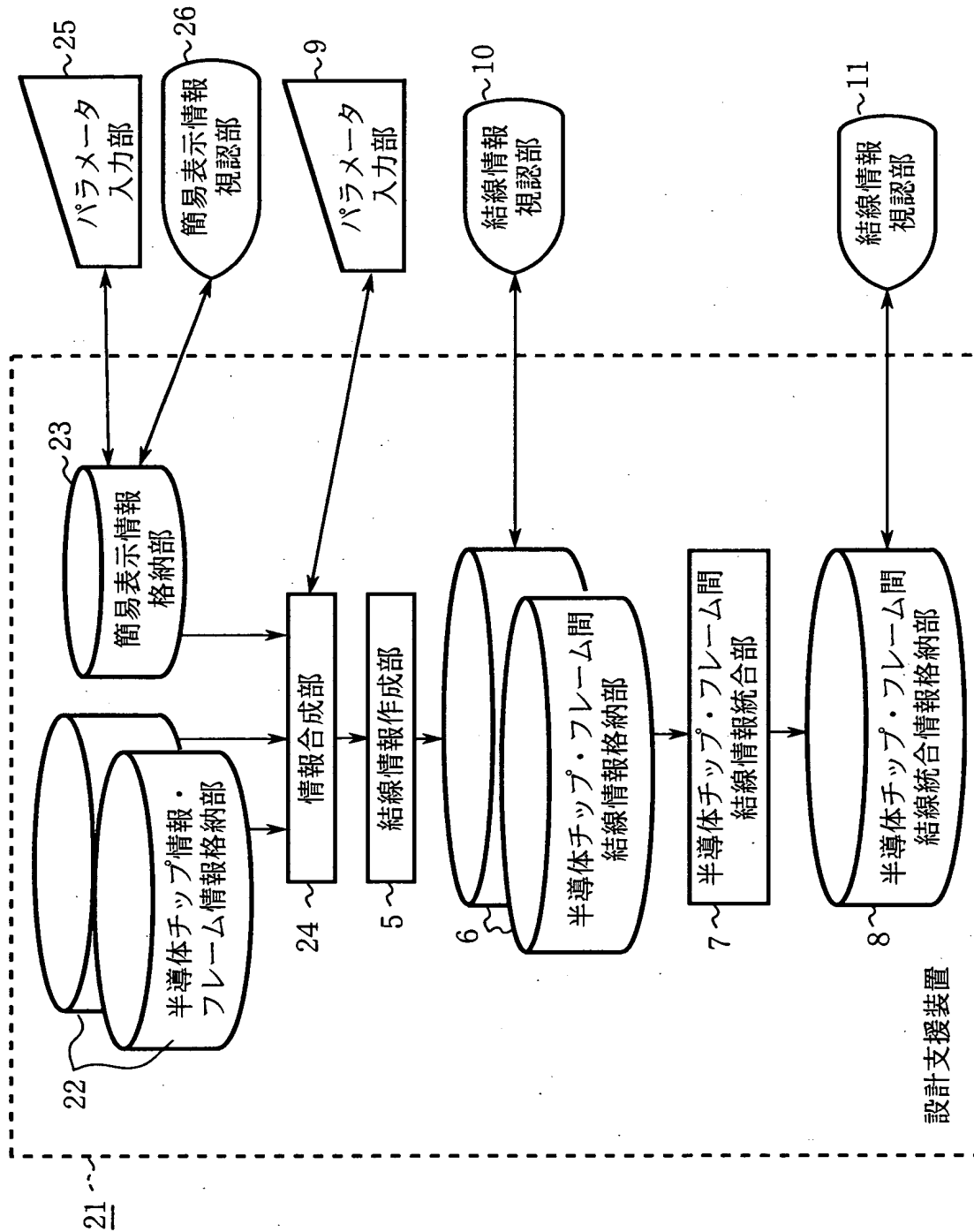




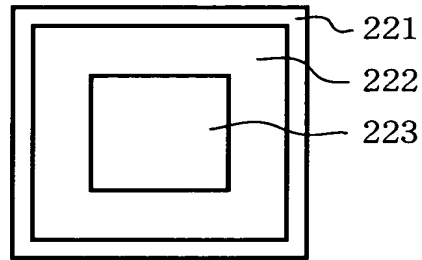
【図 2 3】



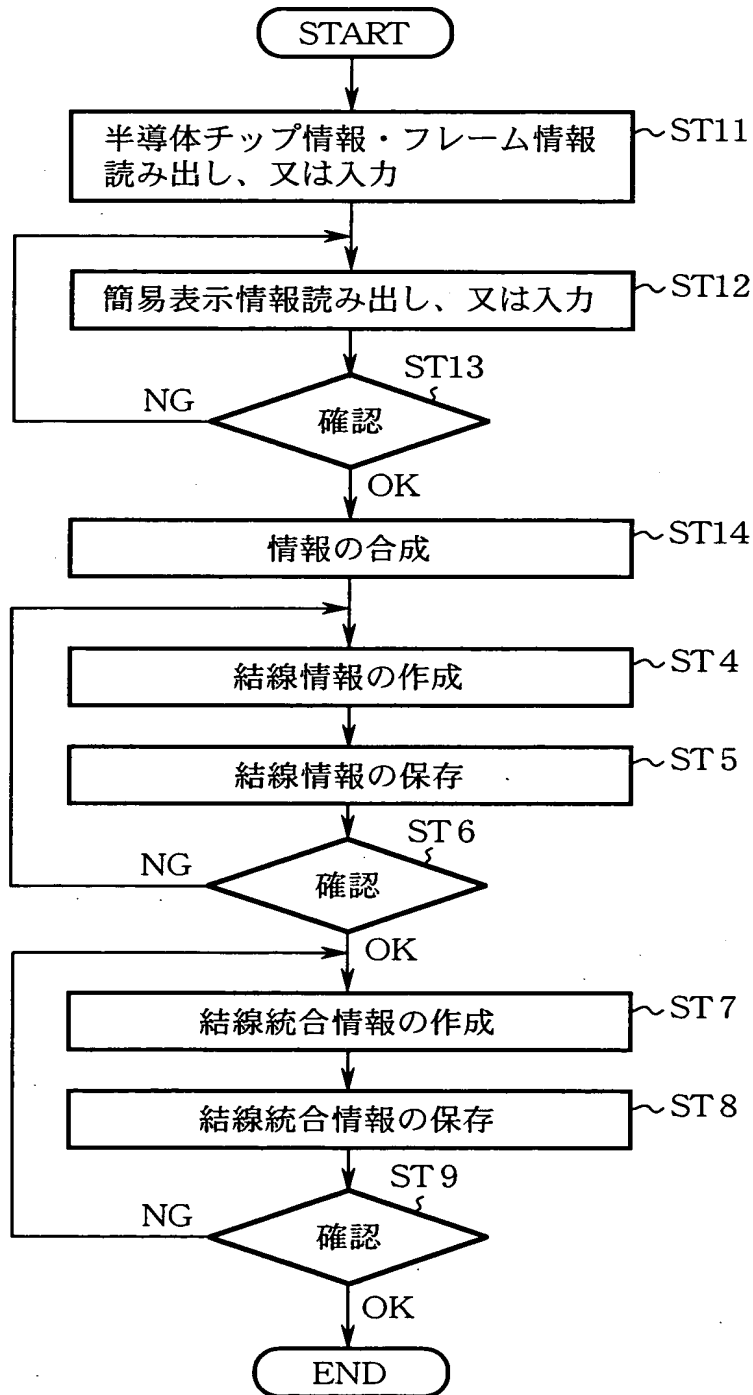
【図 24】



【図 2 5】



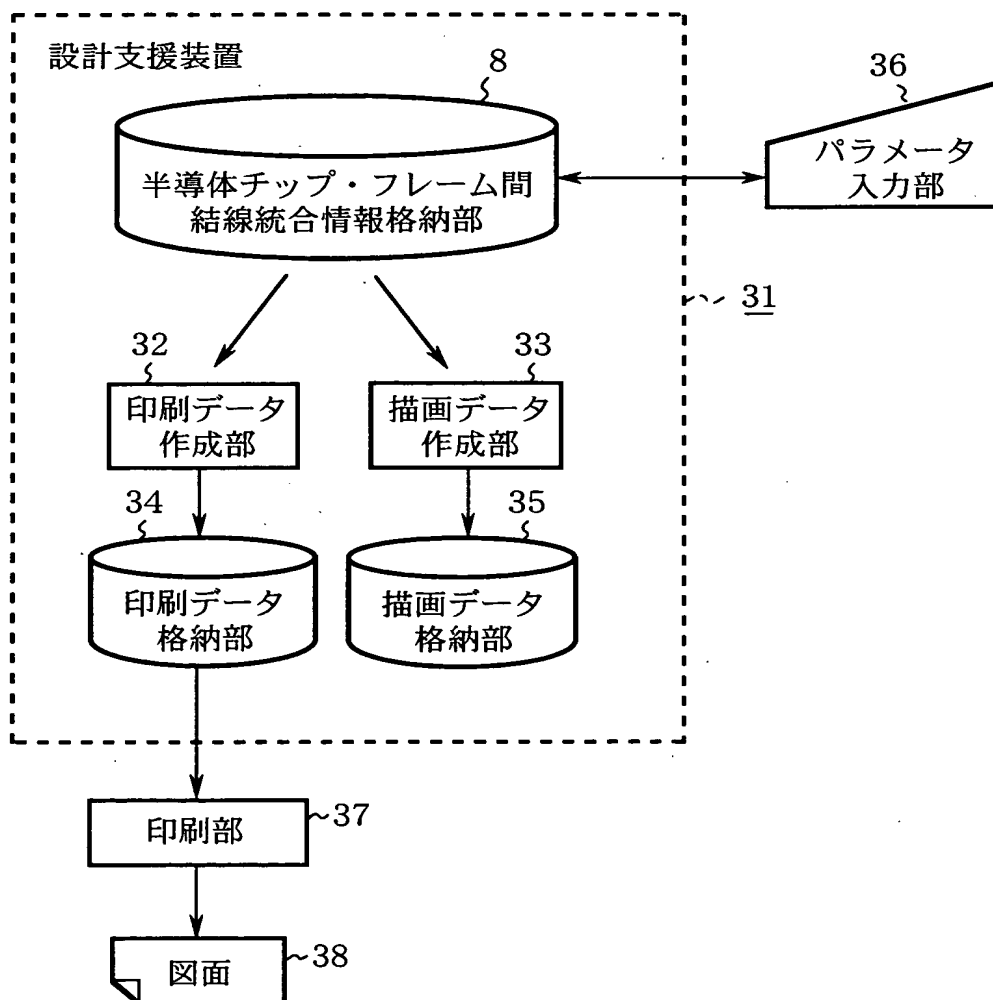
【図 26】



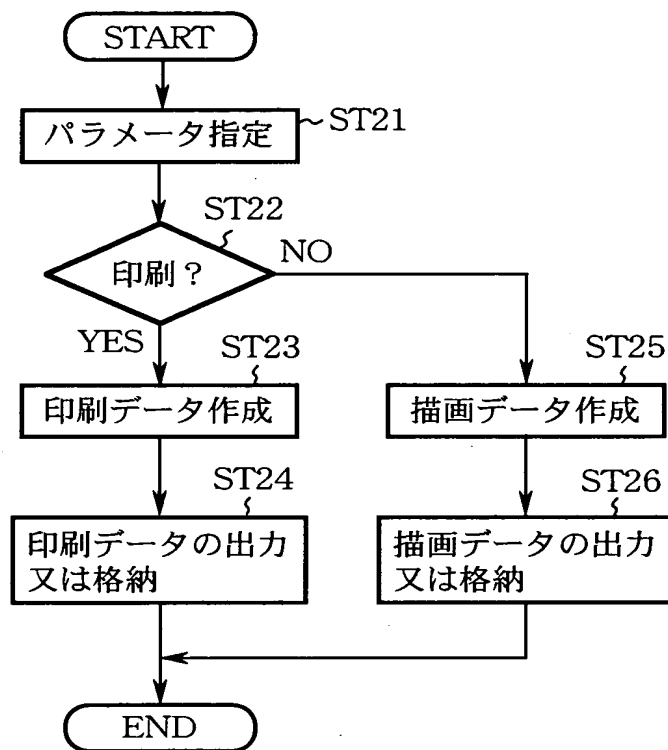
【図 2 7】

	フレーム	第 1 の 半導体チップ	第 2 の 半導体チップ
フレーム	0	16	8
第 1 の半導体チップ	16	0	0
第 2 の半導体チップ	8	0	0

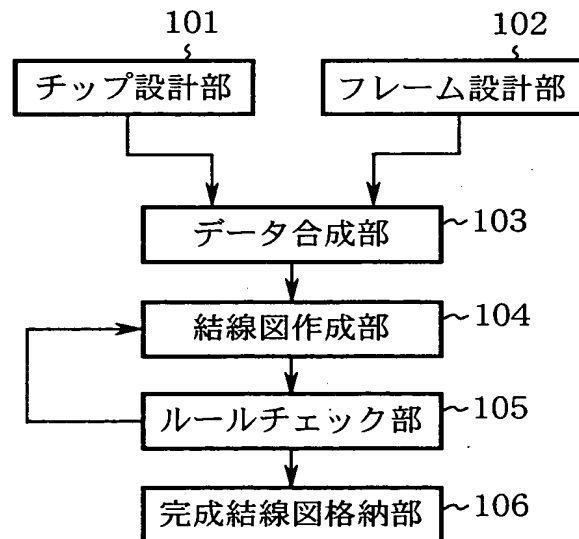
【図 2 8】



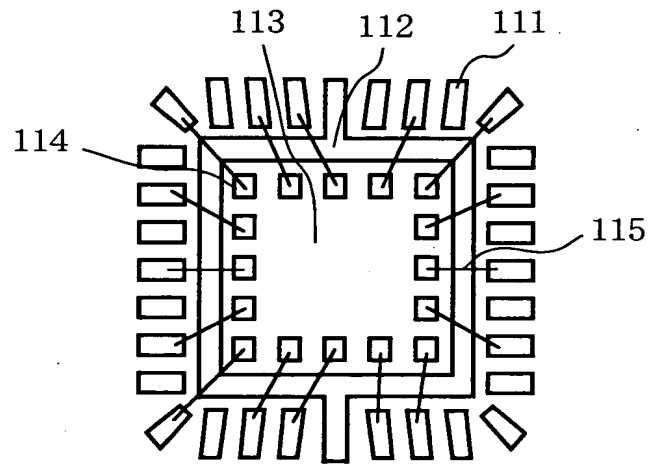
【図 2 9】



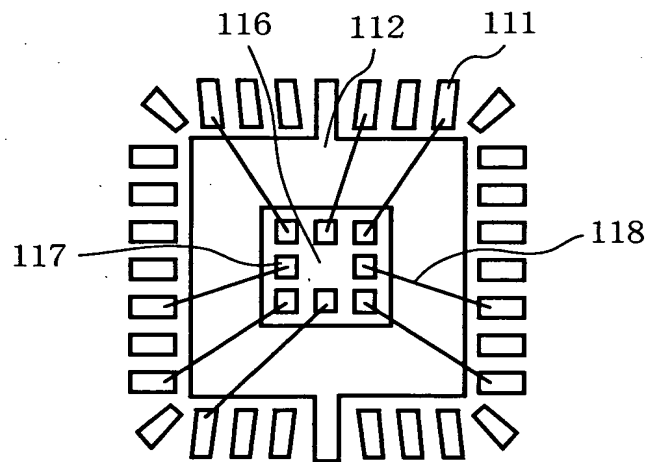
【図 3 0】



【図 3 1】



【図 3 2】



【書類名】 要約書

【要約】

【課題】 従来の設計支援装置は、MCP (Multi Chip Package) に対応できない等の課題があった。

【解決手段】 半導体チップ情報とフレーム情報とを取得し、各半導体チップ毎に半導体チップ・フレーム合成情報を作成する情報合成部4と、情報合成部4が作成した半導体チップ・フレーム合成情報に基づいて各半導体チップ毎に半導体チップ・フレーム間結線情報を作成する結線情報作成部5と、結線情報作成部5が作成した半導体チップ・フレーム間結線情報に基づいて全ての半導体チップとフレームとの結線情報を表示可能な半導体チップ・フレーム間結線統合情報を作成する半導体チップ・フレーム間結線情報統合部7とを備えるものである。

【選択図】 図1



出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日  
[変更理由] 新規登録  
住 所 東京都千代田区丸の内2丁目2番3号  
氏 名 三菱電機株式会社

出 願 人 履 歴 情 報

識別番号 [391024515]

1. 変更年月日 1997年11月26日

[変更理由] 名称変更

住 所 兵庫県伊丹市中央3丁目1番17号

氏 名 三菱電機システムエル・エス・アイ・デザイン株式会社